Obsah - pokračování

6.3.1.1. Soubor registrů mikroprocesoru INTEL 80486DX 6.3.6
6.3.1.2. Vnitřní paměť cache 6.3.8
6.3.1.3. Integrovaný numerický koprocesor 6.3.10
6.3.1.4. Přerušovací systém 6.3.11
6.3.1.5. Komunikace mikroprocesoru s okolím 6.3.11
6.3.1.6. Testovací port (jen mikroprocesor INTEL 80486DX 50 MHz) 6.3.12
6.3.1.7. Soubor instrukcí 6.3.12
6.3.2. Mikroprocesor INTEL 80486SX a "koprocesor" INTEL 80487SX 6.3.12
6.3.3. Low Power a 3,3 V verze mikroprocesorů INTEL 80486DX/SX 6.3.14
6.3.4. Mikroprocesory INTEL 80486DX-2 a INTEL 80486SX-2 ..... 6.3.15
6.3.5. Mikroprocesor INTEL 80486DX-4 ..... 6.3.17
6.3.6. Mikroprocesor INTEL OverDrive 6.3.18
6.3.7. Systém externí paměti cache pro mikroprocesor INTEL 80486DX [-X] 6.3.20
6.3.8. Nové typy sběrnic používané ve spojení s mikroprocesorem INTEL 80486DX[-X] 6.3.27
6.3.8.1. Rozšiřovací sběrnice EISA 6.3.27
6.3.8.1.1. Obvod podpory periférií PC AT INTEL 82351 ..... 6.3.30
6.3.8.1.2. Univerzální oddělovač INTEL 82352 ..... 6.3.38
6.3.8.1.3. Oddělovač dat INTEL 82353 ..... 6.3.41
6.3.8.1.4. Obvod základních periférií PC AT INTEL 82357 ..... 6.3.44
6.3.8.1.5. Řadič sběrnice EISA INTEL 82358DT 6.3.55
6.3.8.1.6. Řadič paměti a oddělovač adres INTEL 82359 ..... 6.3.62
6.3.8.2. Lokální sběrnice VL-Bus 6.3.76
6.3.8.3. Sběrnice PCI 6.3.80
6.3.8.3.1. Rozhraní mezi mikroprocesorem a sběrnicí PCI 6.3.83
6.3.8.3.2. Rozhraní sběrnic PCI a EISA (ISA) 6.3.86
6.3.9. Mikroprocesory řady 80486 jiných výrobců 6.3.86
6.4. Nastavení konfigurace systému 6.4.1
6.4.1. SETUP starších verzí BIOSu AMI 6.4.2
6.4.2. SETUP novějších verzí BIOSu AMI 6.4.5
6.4.3. SETUP nejnovějších verzí BIOSu AMI 6.4.10
6.4.4. SETUP starších verzí BIOSu AWARD 6.4.14
6.4.5. SETUP novějších verzí BIOSu AWARD 6.4.15
6.4.6. Chybová hlášení POSTu 6.4.16
6.5. Periferní zařízení 6.5.1
6.5.1. Kombinovaný řadič 2*FD + 2*HD + 2*COM + 1*LPT 6.5.2
6.5.1.1. Obvod periférií 82341 ..... 6.5.2
6.5.1.2. Řadič pružných disků 82077AA 6.5.7
6.5.1.3. Činnost modulu 6.5.10
6.5.2. Grafický adaptér SUPER VGA ET-4000 ..... 6.5.13
6.5.2.1. Řadič grafického adaptéru ET-4000 ..... 6.5.13
6.5.2.2. Funkce grafického adaptéru 6.5.18
6.5.3. Grafické akcelerátory 6.5.19
6.6. Přílohy 6.6.1
6.6.1. Schéma základní desky PC '386 ..... 6.6.2
6.6.2. Soubor instrukcí mikroprocesorů INTEL 80386 a INTEL 80486 ..... 6.6.6
6.6.3. Přehled doposud probraných obvodů 6.6.17
Použité prameny a literatura 6.6.18

6.0.

NÁRODNÍ KNIHOVNA V PRAZE UKF

Přehled obrázků

6.1.1. Blokové schéma základní desky PC '386 ... 6.1.2
6.1.2. Rozmístění obvodů základní desky PC '386 ... 6.1.3
6.1.3. Zapojení vývodů mikroprocesoru INTEL 80386DX v pouzdru PGA ... 6.1.4
6.1.4. Zapojení vývodů mikroprocesoru INTEL 80386DX v pouzdru PQFP ... 6.1.5
6.1.5. Nezřetězený a zřetězený cyklus sběrnice ... 6.1.9
6.1.6. Nezřetězený cyklus čtení dat z paměti ... 6.1.10
6.1.7. Nezřetězený cyklus zápisu dat do paměti ... 6.1.10
6.1.8. Zřetězené cykly sběrnice čtení a zápisu ... 6.1.12
6.1.9. Cyklus čtení a zápisu na/z periferní(-ho) zařízení ... 6.1.12
6.1.10. Cyklus potvrzení žádosti o přerušení INTA ... 6.1.13
6.1.11. Cyklus HALT a SHUTDOWN ... 6.1.13
6.1.12. Blokové schéma mikroprocesoru INTEL 80386DX ... 6.1.14
6.1.13. Soubor registrů mikroprocesoru INTEL 80386DX ... 6.1.16
6.1.14. Struktura registru příznaků ... 6.1.16
6.1.15. Struktura registru CR0 ... 6.1.18
6.1.16. Struktura stavového ladícího registru DR6 ... 6.1.19
6.1.17. Struktura řídícího ladícího registru DR7 ... 6.1.19
6.1.18. Mechanismus určení adresy fyzické z adresy logické ... 6.1.21
6.1.19. Mapovaný I/O adresový prostor ... 6.1.23
6.1.20. Tabulka vektorů přerušení ... 6.1.23
6.1.21. Mechanismus obsluhy přerušení ... 6.1.24
6.1.22. Virtuální adresa ... 6.1.32
6.1.23. Selektor segmentu ... 6.1.32
6.1.24. Rozdělení virtuálního adresového prostoru ... 6.1.32
6.1.25. Struktura deskriptoru segmentu (nesystémového) ... 6.1.33
6.1.26. Struktura registrů GDTR a IDTR ... 6.1.33
6.1.27. Struktura registrů LDTR a TR ... 6.1.33
6.1.28. Struktura segmentových registrů v módu chráněné virtuální paměti ... 6.1.34
6.1.29. Mechanismus převodu virtuální adresy na adresy reálnou ... 6.1.34
6.1.30. Mechanismus překladu segmentů ... 6.1.35
6.1.31. Struktura lineární adresy ... 6.1.35
6.1.32. Struktura položky tabulky adresářů stránek a tabulky stránek ... 6.1.35
6.1.33. Převod lineární adresy na adresu fyzickou (mechanismus stránkování) ... 6.1.36
6.1.34. Struktura testovacího registru TR6 ... 6.1.37
6.1.35. Struktura testovacího registru TR7 ... 6.1.37
6.1.36. Úrovně privilegovanosti ... 6.1.38
6.1.37. Struktura deskriptorů bran ... 6.1.38
6.1.38. Struktura segmentu stavu úlohy ... 6.1.39
6.1.39. Struktura deskriptoru přerušení ... 6.1.41
6.1.40. Struktura kódu chyby IDT ... 6.1.41
6.1.41. Struktura kódu chyby výpadku stránky ... 6.1.41
6.1.42. Předdefinovaná přerušení v módu chráněné virtuální paměti ... 6.1.42
6.1.43. Zapojení vývodů numerického koprocesoru INTEL 80387DX ... 6.1.46
6.1.44. Blokové schéma numerického koprocesoru INTEL 80387DX ... 6.1.48
6.1.45. Typy dat numerického koprocesoru INTEL 80387DX ... 6.1.48
6.1.46. Soubor registrů numerického koprocesoru INTEL 80387DX ... 6.1.50
6.1.47. Struktura stavového registru koprocesoru INTEL 80387DX ... 6.1.50
6.1.48. Struktura řídícího registru CWR koprocesoru INTEL 80387DX ... 6.1.52
6.1.49. Struktura registru značek koprocesoru INTEL 80387DX ... 6.1.52
6.1.50. Prostředí numerického koprocesoru INTEL 80387DX ... 6.1.53
6.1.51. Zapojení vývodů numerického koprocesoru INTEL 80287 ... 6.1.57
6.1.52. Možné způsoby organizování paměti cache ... 6.1.58
6.1.53. Zapojení vývodů řadiče paměti cache INTEL 82385DX v pouzdru PGA ... 6.1.59
6.1.54. Zapojení vývodů řadiče paměti cache INTEL 82385DX v pouzdru PQFP ... 6.1.60
6.1.55. Připojení obvodu INTEL 82385DX k mikroprocesoru INTEL 80386DX, paměti cache a lokální systémové sběrnici . 6.1.62
6.1.56. Struktura položky adresáře cache obvodu INTEL 82385DX ... 6.1.63
6.1.57. Členění adresy paměti řadičem paměti cache INTEL 82835DX ... 6.1.64
6.1.58. Organizace přímo mapované cache při použití řadiče INTEL 82385DX ... 6.1.64
6.1.59. Blokové schéma systémového řadiče 82346 ... 6.1.66
6.1.60. Zapojení vývodů systémového řadiče 82346 ... 6.1.67
6.1.61. Blokové schéma řadiče ISA a obvodu periférií 82344 ... 6.1.70
6.1.62. Zapojení vývodů řadiče ISA a obvodu periférií 82344 ... 6.1.71
6.1.63. Blokové schéma bloku řízení periférií řadiče ISA a obvodu periférií 82344 ... 6.1.73
6.1.64. Blokové schéma oddělovače dat 82345 ... 6.1.76

Přehled obrázků - pokračování

6.1.65. Zapojení vývodů oddělovače dat 82345 ..... 6.1.77
6.1.66. Zapojení vývodů obvodu VT 62A16B, 4364 a 43256 ..... 6.1.79
6.1.67. Zapojení vývodů obvodů 20R6 a 16L8 ..... 6.1.79
6.1.68. Zapojení vývodů a funkční tabulka obvodu 74F646 ..... 6.1.80
6.1.69. Zapojení obvodu 421000 ..... 6.1.80
6.2.1. Zapojení vývodů mikroprocesoru INTEL 80386SX 6.2.3
6.2.2. Zapojení vývodů numerického koprocesoru INTEL 80387SX 6.2.4
6.2.3. Blokové schéma obvodu INTEL 82396SX 6.2.6
6.2.4. Zapojení vývodů obvodu INTEL 82496SX 6.2.7
6.2.5. Průběh cyklu sběrnice čtení s přepsáním chybějící položky bez vkládání a s vkládáním čekacích taktů 6.2.10
6.3.1. Blokové schéma mikroprocesoru INTEL 80486DX 6.3.3
6.3.2. Zapojení vývodů mikroprocesoru INTEL 80486DX 6.3.2
6.3.3. Soubor registrů mikroprocesoru INTEL 80486DX 6.3.6
6.3.4. Struktura registru příznaků mikroprocesoru INTEL 80486DX 6.3.7
6.3.5. Struktura řídícího registru CR0 mikroprocesoru INTEL 80486DX 6.3.7
6.3.6. Struktura řídícího registru CR3 mikroprocesoru INTEL 80486DX 6.3.7
6.3.7. Struktura položky tabulky adresářů stránek a tabulky stránek mikroprocesoru INTEL 80486DX 6.3.8
6.3.8. Struktura testovacího registru TR7 mikroprocesoru INTEL 80486DX 6.3.8
6.3.9. Struktura testovacích registrů TR3, TR4 a TR5 mikroprocesoru INTEL 80486DX 6.3.9
6.3.10. Vícenásobný jednoduchý, blokový a smíšený cyklus sběrnice plnění položky vnitřní paměti cache mikroprocesoru INTEL 80486DX . 6.3.11
6.3.11. Zapojení vývodů mikroprocesoru INTEL 80486SX v pouzdru PGA 6.3.13
6.3.12. Zapojení vývodů mikroprocesoru INTEL 80486SX v pouzdru PQFP 6.3.14
6.3.13. Zapojení vývodů mikroprocesoru INTEL 80486DX-2. ..... 6.3.16
6.3.14. Zapojení vývodů mikroprocesoru INTEL 80486DX-4 ..... 6.3.17
6.3.15. Zapojení vývodů Pentium OverDrive mikroprocesoru. 6.3.19
6.3.16. Zapojení vývodů řadiče paměti cache INTEL 82495DX 6.3.21
6.3.17. Zapojení vývodů paměti cache INTEL 82490DX 6.3.25
6.3.18. Typické zapojení základní desky s rozšiřovací sběrnicí EISA 6.3.29
6.3.19. Blokové schéma obvodu podpory periférií INTEL 82351 ..... 6.3.30
6.3.20. Zapojení vývodů obvodu podpory periférií INTEL 82351 ..... 6.3.31
6.3.21. Zapojení vývodů univerzálního oddělovače INTEL 82352 ..... 6.3.39
6.3.22. Zapojení vývodů oddělovače dat INTEL 82353 ..... 6.3.41
6.3.23. Zapojení vývodů obvodu základních periférií INTEL 82357 ..... 6.3.45
6.3.24. Přehled typů časování cyklu DMA pro přenos z paměti na periferní zařízení 6.3.48
6.3.25. Zapojení vývodů řadiče sběrnice EISA INTEL 82358DT 6.3.51
6.3.26. Zapojení vývodů řadiče paměti INTEL 82359 ..... 6.3.63
6.3.27. Struktura paměti řízené obvodem INTEL 82359 a připojení signálů RAS_x, CAS_x a WE_x k paměťové matici ... 6.3.68
6.3.28. Konektory sběrnic ISA, VL-Bus a PCI 6.3.79
6.3.29. Blokové schéma systému se sběrnicí PCI 6.3.80
6.3.30. Čtení bloku dat a zápis dat z/do paměti 6.3.82
6.3.31. Čtení a zápis konfiguračních informací 6.3.82
6.3.32. Blokové schéma obvodu INTEL 82424TX 6.3.85
6.3.33. Blokové schéma obvodu INTEL 82423TX 6.3.85
6.4.1. Obrazovka SETUPu starších verzí AMI BIOSu 6.4.3
6.4.2. Základní obrazovka systémové diagnostiky starších verzí AMI BIOSu 6.4.4
6.4.3. Základní obrazovka SETUPu novějších verzí AMI BIOSu 6.4.5
6.4.4. Varovná obrazovka při aktivaci SETUPu novějších verzí AMI BIOSu 6.4.5
6.4.5. Obrazovka základní konfigurace systému novějších verzí AMI BIOSu 6.4.6
6.4.6. Obrazovka rozšířené konfigurace CMOS novějších verzí AMI BIOSu 6.4.7
6.4.7. Obrazovka rozšířené konfigurace sady obvodů novějších verzí AMI BIOSu 6.4.8
6.4.8. Úvodní obrazovka SETUPu nejnovějších verzí AMI BIOSu 6.4.10
6.4.9. Okno nastavení základní konfigurace CMOS 6.4.10
6.4.10. Základní obrazovka SETUPu starších verzí AWARD BIOSu 6.4.14
6.4.11. Obrazovka rozšířeného SETUPu starších verzí AWARD BIOSu 6.4.15
6.4.12. Základní nabídka SETUPu novějších verzí Award BIOSu 6.4.16
6.5.1. Schéma zapojení kombinovaného řadiče 2HD + 2FD + 2*COM + LPT 6.5.3
6.5.2. Blokové schéma obvodu periférií 82341 ..... 6.5.4
6.5.3. Zapojení vývodů obvodu periférií 82341 ..... 6.5.5
6.5.4. Blokové schéma řadiče pružných disků 82077AA 6.5.8
6.5.5. Zapojení vývodů řadiče pružných disků 82077AA 6.5.9
6.5.6. Zapojení vývodů obvodu ET-4000 v pouzdru se 144-mi vývody 6.5.14
6.5.7. Zapojení vývodů obvodu ET-4000 v pouzdru se 160-ti vývody 6.5.15
6.5.8. Blokové schéma grafického akcelerátoru 6.5.19
6.6.1. Schéma základní desky PC '386 ..... 6.6.2

Přehled tabulek

6.1.1. Význam jednotlivých signálů mikroprocesoru INTEL 80386DX 6.1.6
6.1.2. Význam jednotlivých byte BE_x 6.1.7
6.1.3. Určení cyklů sběrnice řídícími signály mikroprocesoru INTEL 80386DX 6.1.7
6.1.4. Význam pole LNx řídícího ladícího registru DR7 ..... 6.1.19
6.1.5. Význam pole RWx řídícího ladícího registru DR7 ..... 6.1.19
6.1.6. Implicitní použití registrů mikroprocesoru INTEL 80386DX 6.1.20
6.1.7. Zdroje logické adresy 6.1.21
6.1.8. Instrukce pro přesun dat 6.1.26
6.1.9. Aritmetické instrukce 6.1.27
6.1.10. Logické instrukce 6.1.28
6.1.11. Instrukce pro přípravu činnosti v módu chráněných virtuálních adres 6.1.28
6.1.12. Instrukce rotací a posuvů 6.1.29
6.1.13. Instrukce pro práci s bloky dat 6.1.29
6.1.14. Bitové instrukce 6.1.30
6.1.15. Instrukce pro řízení běhu programu 6.1.30
6.1.16. Řídící instrukce 6.1.31
6.1.17. Typy systémových segmentů 6.1.39
6.1.18. Instrukce, které lze použít jen v módu chráněné virtuální paměti 6.1.43
6.1.19. Instrukce, u nichž došlo v módu chráněné virtuální paměti ke změně funkce 6.1.44
6.1.20. Význam jednotlivých vývodů numerického koprocesoru INTEL 80387DX 6.1.47
6.1.21. Speciální hodnoty numerického koprocesoru INTEL 80387DX 6.1.49
6.1.22. Význam nastavení bitů C3 až C0 SWR koprocesoru INTEL 80387DX 6.1.51
6.1.23. Význam jednotlivých hodnot pole RC řídícího registru numerického koprocesoru INTEL 80387DX 6.1.52
6.1.24. Význam jednotlivých hodnot pole PC řídícího registru numerického koprocesoru INTEL 80387DX 6.1.52
6.1.25. Možné tvary značky jednotlivých datových registrů 6.1.53
6.1.26. Označení operandů v popisu instrukcí 6.1.54
6.1.27. Instrukce pro přesun dat 6.1.54
6.1.28. Aritmetické instrukce 6.1.55
6.1.29. Instrukce aritmetických funkcí a konstant 6.1.56
6.1.30. Řídící instrukce 6.1.57
6.1.31. Význam jednotlivých signálů obvodu INTEL 82385DX 6.1.61
6.1.32. Význam jednotlivých vývodů systémového řadiče 82346 ..... 6.1.68
6.1.33. Význam jednotlivých vývodů řadiče ISA a obvodu periférií 82344 ..... 6.1.72
6.1.34. Význam jednotlivých vývodů oddělovače dat 82345 ..... 6.1.78
6.1.34. Zapojení konektoru modulu SIMM 6.1.80
6.1.35. Zapojení jednotlivých připojovacích konektorů základní desky 6.1.80
6.1.36. Obvyklé využití jednotlivých kanálů DMA a umístění obvodu 74LS612 v I/O adresovém prostoru 6.1.81
6.1.37. Obvyklé využití jednotlivých kanálů přerušení 6.1.81
6.1.38. Standardní adresy periferních zařízení používaných ve spojení s mikropočítačem PC '386 ..... 6.1.81
6.1.39. Zapojení vývodů konektorů rozšiřovací sběrnice I/O CHANNEL typu ISA 16 bitů (AT) 6.1.82
6.1.40. Význam signálů rozšiřovací sběrnice I/O CHANNEL typu ISA 6.1.82
6.2.1. Význam jednotlivých vývodů mikroprocesoru INTEL 80386SX 6.2.2
6.2.2. Význam jednotlivých vývodů numerického koprocesoru INTEL 80387SX 6.2.5
6.2.3. Význam jednotlivých vývodů obvodu INTEL 82496SX 6.2.8
6.2.4. Modifikace příznaků LRU při přístupu do paměti cache 6.2.10
6.2.5. Určení stránky paměti cache jejíž obsah bude nahrazen 6.2.10
6.3.1. Význam jednotlivých vývodů mikroprocesoru INTEL 80486DX 6.3.4
6.3.2. Jednotlivé operace používané při testování vnitřní paměti cache 6.3.10
6.3.3. Mechanismus obsluhy chyb numerické jednotky v závislosti na hodnotě bitu NE řídícího registru CR0 a signálu IGNNE 6.3.10
6.3.4. Nové instrukce mikroprocesoru INTEL 80486DX 6.3.12
6.3.5. Význam jednotlivých signálů řadiče paměti cache INTEL 82495DX 6.3.21
6.3.6. Význam jednotlivých signálů paměti cache INTEL 82490DX 6.3.25
6.3.7. Význam nových signálů rozšiřovací sběrnice I/O CHANNEL typu EISA 6.3.28
6.3.8. Zapojení vývodů spodního patra konektoru rozšiřovací sběrnice I/O CHANNEL typu EISA 6.3.29
6.3.9. Význam jednotlivých signálů obvodu podpory periférií INTEL 82351 ..... 6.3.32
6.3.10. Přehled adres dekódovaných obvodem INTEL 82351 ..... 6.3.34
6.3.11. Význam jednotlivých registrů obvodu INTEL 82351 ..... 6.3.35

Přehled tabulek - pokračování

6.3.12. Význam jednotlivých konfiguračních registrů obvodu INTEL 82351 ..... 6.3.36
6.3.13. Význam jednotlivých signálů univerzálního oddělovače INTEL 82352 ..... 6.3.38
6.3.14. Význam jednotlivých signálů oddělovače dat INTEL 82353 ..... 6.3.42
6.3.15. Význam jednotlivých signálů obvodu základních periférií INTEL 82357 ..... 6.3.46
6.3.16. Přehled registrů obvodu INTEL 82357 ..... 6.3.51
6.3.17. Význam jednotlivých signálů řadiče sběrnice EISA INTEL 82358DT 6.3.56
6.3.18. Určení příslušnosti iniciátora komunikace 6.3.61
6.3.19. Určení příslušnosti cílového zařízení komunikace 6.3.61
6.3.20. Význam jednotlivých signálů řadiče paměti INTEL 82359 ..... 6.3.64
6.3.21. Mechanismus generování jednotlivých bitů adresy řádku a sloupce z adresy paměti 6.3.69
6.3.22. Přehled registrů obvodu INTEL 82357 ..... 6.3.71
6.3.23. Zapojení konektoru přídavné desky paměti 6.3.77
6.3.24. Význam jednotlivých signálů konektoru pro připojení přídavné desky paměti 6.3.77
6.3.25. Význam jednotlivých signálů lokální sběrnice VL-Bus 6.3.77
6.3.26. Zapojení konektoru lokální sběrnice VL-Bus 6.3.78
6.3.27. Přehled cyklů sběrnice PCI 6.3.81
6.3.28. Zapojení konektoru sběrnice PCI 6.3.83
6.3.29. Význam jednotlivých signálů sběrnice PCI 6.3.84
6.4.1. Parametry nastavované rozšířeným SETUPem CMOS 6.4.11
6.4.2. Parametry nastavované SETUPem sady obvodů 6.4.12
6.4.3. Parametry nastavované SETUPem sběrnice PCI 6.4.13
6.4.4. Parametry nastavované SETUPem správy napájení 6.4.13
6.4.5. BEEP kód AMI BIOSu 6.4.16
6.4.6. Chybové kódy POSTu AMI BIOSu 6.4.17
6.5.1. Význam jednotlivých vývodů obvodu periférií 82341 ..... 6.5.6
6.5.2. Význam jednotlivých vývodů řadiče pružných disků 82077AA 6.5.9
6.5.3. Vnitřní registry obvodu 82077AA 6.5.10
6.5.4. Nastavení konfigurace obvodu 82077AA 6.5.11
6.5.5. Zapojení konektoru sběrnice IDE 6.5.11
6.5.6. Zapojení konektoru sériového rozhraní RS-232C 6.5.11
6.5.7. Zapojení konektoru paralelního rozhraní CENTRONICS 6.5.12
6.5.8. Zapojení konektoru pro připojení jednotek pružných disků 6.5.12
6.5.9. Význam jednotlivých vývodů obvodu ET-4000 ..... 6.5.16
6.5.10. Textové módy zobrazení podporované obvodem ET-4000 ..... 6.5.17
6.5.11. Grafické módy zobrazení podporované obvodem ET-4000 ..... 6.5.17
6.5.12. Vliv kapacity VIDEORAM na počet zobrazitelných barev při různém rozlišení 6.5.20
6.6.1. Přehled instrukcí mikroprocesorů INTEL 80386 a INTEL 80486 ..... 6.6.6
6.6.2. Disassemblovací tabulka instrukcí 6.6.14
6.6.3. Přehled obvodů probraných v tomto svazku 6.6.17
6.6.4. Přehled obvodů probraných v doposud vydaných svazcích kompletu 6.6.17