

Obsah

1. Úvod	1
2. Logické systémy	4
2.1. Logická funkce a její vyjádření	7
2.1.1. Boolská algebra	9
2.1.2. Formy popisu logické funkce	10
2.1.3. Minimalizace logických výrazů	13
2.1.4. Realizační prvky	18
2.2. Kombinační logické systémy	19
2.2.1. Syntéza kombinačních logických obvodů	19
2.2.2. Symetrické funkce	23
2.2.3. Obvody typu XOR	24
2.2.4. Hradlové struktury	24
2.2.5. Dekompozice kombinačních logických funkcí	28
2.2.6. Hazardy v kombinačních logických obvodech	33
2.2.7. Příklady	37
2.3. Sekvenční logické systémy	41
2.3.1. Konečný automat jako matematický model sekvenčního systému	42
2.3.1.1. Formy popisu chování automatu	43
2.3.1.2. Sekvenční zobrazení	47
2.3.1.3. Minimalizace množiny vnitřních stavů automatu	48
2.3.1.4. Režimy činnosti automatu	49
2.3.2. Syntéza sekvenčních logických obvodů	53
2.3.3. Syntéza asynchronních sekvenčních logických obvodů jako kombinační síť se zpětnou vazbou	54
2.3.3.1. Základní časový diagram, stavy, tabulka přechodů, graf přechodů	55
2.3.3.2. Redukce stavů	57
2.3.3.3. Kódování vnitřních stavů	59
2.3.3.4. Mapy vnitřní funkce (δ zobrazení)	65
2.3.3.5. Mapy výstupní funkce (ω zobrazení)	67
2.3.3.6. Hazardy	69
2.3.3.7. Příklady	71
2.3.4. Syntéza asynchronních sekvenčních logických obvodů se zvláštním zpožděním	75
2.3.5. Syntéza sekvenčních logických obvodů s použitím paměťových členů	78
2.3.6. Syntéza sekvenčních logických obvodů s pulsním vstupem	83
2.3.7. Syntéza synchronních sekvenčních logických obvodů	86
2.3.8. Syntéza sekvenčních logických obvodů řízených hodinovým signálem	88
2.3.8.1. Synchronní sekvenční logické obvody řízené hodinovým signálem	89
2.3.8.2. Asynchronní sekvenční logické obvody řízené hodinovým signálem	92

3. Realizace logických obvodů	94
3.1. Logické obvody TTL	96
3.1.1. Parametry, charakteristiky	96
3.1.2. Vznik a odstranění rušení	103
3.1.3. Obvody pro úpravu vstupních signálů	109
3.1.4. Obvody pro úpravu výstupních signálů	112
3.1.5. Obvody pro přenos dat	113
3.1.6. Monostabilní KO	115
3.1.7. Generátory pulzů	119
3.2. Kombinační logické obvody	121
3.3. Syntéza kombinačních logických obvodů obvodu MSI, LSI	126
3.3.1. Použití MPX	126
3.3.2. Použití dekódérů (DMPX)	128
3.3.3. Použití permanentních pamětí	129
3.4. Sekvenční logické obvody	130
3.4.1. Čítače	132
3.4.2. Děliče frekvence	136
3.4.3. Vyrovnávací paměti	136
3.4.4. Posuvné registry	137
3.4.5. Programovatelné děliče frekvence	139
3.5. Syntéza sekvenčních log. obvodů obvodu MSI, LSI	142
3.5.1. Použití multiplexerů	142
3.5.2. Použití dekódérů	142
3.5.3. Použití posuvných registrů a čítačů	143
3.5.4. Použití pamětí	144
3.6. Logické obvody CMOS	144
3.7. Návrh a realizace elektron. systémů programovatelnými obvody	146
3.7.1. Polozákaznický obvod - PLD	147
3.7.2. Obvody GAL	156
3.7.3. Obvody pLSI a ispLSI	161
3.7.4. Obvody XILINX	173
3.7.4.1. Obvody EPLD	174
3.7.4.2. Obvody FPGA	178
4. Logické řízení	186
4.1. Technologický proces	186
4.2. Konečněautomatový model technologického objektu (procesu)	188
4.2.1. Algoritmus vývoje technologického objektu	189
4.2.2. Rekonstrukce stavů	191
4.2.3. Dekompozice technologického objektu	192
4.3. Řízení technologického objektu	193
4.3.1. Direktivní řízení	194
4.3.2. Zpětnovazební řízení	195
4.4. Konvenční logické řízení technologického objektu	196
5. Realizace řídicích automatů	199
5.1. Paralelní řídicí automaty	199
5.1.1. Pevně naprogramované řídicí automaty	200
5.1.2. Návrh programovatelného řadiče	208
5.2. Přeprogramovatelné řídicí automaty	212
5.2.1. Realizace mikroprogramového řadiče	213
5.3. Seriové řídicí automaty	218
5.3.1. Řídicí počítače	219
5.3.2. Volně programovatelné automaty	220
5.3.3. Boolské procesory	223

6. Programovatelné logické automaty	226
6.1. Úvod	226
6.2. Základní pojmy PLC	227
6.2.1. Požadavky na obvodové řešení	227
6.2.2. Principy činnosti PLC	229
6.2.3. Interní architektura PLC	231
6.2.4. Přerušeni v PLC	233
6.2.5. Vstupy a výstupy	234
6.2.6. Logické adresy	235
6.3. Základní principy PLC programů	237
6.3.1. Žebříčkové diagramy	238
6.3.2. Logické diagramy	240
6.3.3. Přidržený kontakt	241
6.3.4. Detekce náběžné hrany	242
6.3.5. Podprogramy a skoky	245
7. Petriho sítě a Grafcet	247
7.1. Petriho sítě	247
7.1.1. Základní názvosloví	247
7.1.2. Pravidla pro změnu stavu systému	248
7.1.3. Příklady modelování synchronizovanou Petriho sítí	249
7.1.4. Formální definice autonomních Petriho sítí	252
7.1.5. Vlastnosti Petriho sítí	253
7.1.6. Časované Petriho sítě	255
7.1.7. Interpretované Petriho sítě	256
7.2. Grafcet	257
7.2.1. Základní koncepce	258
7.2.2. Paralelismus a synchronizace	259
7.2.3. Výběr a spojení	259
7.2.4. Pravidla pro tvorbu Grafcetu	260
7.2.5. Akce spojené s kroky	262
7.2.6. Podmínky přechodu a jejich vyjádření	264
7.2.7. Strukturní prostředky Grafcetu	266
7.3. Srovnání Grafcetu a Petriho sítí	267
7.4. Závěr	268
8. Literatura	269