

# Obsah

<b>1.</b>	<b>Úvod</b>	15
<b>1.1</b>	<b>Von Neumannova architektura počítače</b>	15
<b>1.2</b>	<b>MIPS - výkonová charakteristika</b>	17
<b>1.3</b>	<b>Architektury CISC a RISC</b>	20
1.3.1	Zvláštnosti architektury CISC	21
1.3.2	Pojetí architektury RISC	22
<b>1.4</b>	<b>Mikroprocesory s architekturou CISC</b>	23
1.4.1	Šířka systému sběrnic	24
1.4.2	CISC procesory a cache	25
<b>1.5</b>	<b>Modifikace architektury CISC</b>	26
1.5.1	Úzké profily a jejich důsledky	27
1.5.2	Systémové strategie	28
1.5.3	Způsob práce Xputeru	30
<b>1.6</b>	<b>Způsob práce RISC procesorů</b>	32
<b>1.7</b>	<b>Charakteristika RISC procesorů</b>	34
1.7.1	Zpracování instrukcí a dat	35
1.7.2	Překladač RISC	36
1.7.3	Zpracování algoritmů	37
<b>1.8</b>	<b>Harvard architektura</b>	38
1.8.1	Přednosti Harvard architektury	40
1.8.2	Cache a Harvard architektura	41
1.8.3	Praktický příklad	42
1.8.4	Zpracování instrukcí	45
1.8.5	Funkční jednotky	48
1.8.6	Zpracování logických instrukcí	49
<b>1.9</b>	<b>Cache a jednotka správy paměti</b>	51
1.9.1	Přístup do paměti se zpoždovacím efektem	52
1.9.2	Strategie virtuální cache	54
1.9.3	Netransparentní cache	54
1.9.4	Logická a fyzická cache	57
1.9.5	Příklad strategie cache	58

1.9.6	Zrychlení prostřednictvím instrukční cache	59
1.9.7	MMU a cache	60
1.9.8	Použití deskriptor cache	62
1.9.9	Princip funkce cache systému	62
1.9.10	Organizace cache	64
1.9.11	Cache ve víceprocesorovém prostředí	67
<b>1.10</b>	<b>Virtuální paměť</b>	69
1.10.1	Zvýšení rychlosti zpracování	70
1.10.2	Virtuální paměťové schéma	72
1.10.3	Paměť se stránkováním na žádost	73
1.10.4	Algoritmus LRU	77
<b>1.11</b>	<b>Jednotka správy paměti MMU</b>	79
1.11.1	Deskriptory segmentů	80
1.11.2	Implementace jednotek MMU	81
1.11.3	Architektura systému	84
<b>1.12</b>	<b>Multiprocesorové systémy</b>	88
1.12.1	Definice a architektura	88
1.12.2	Sběrníkové systémy	89
1.12.3	Průchodnost systému	91
1.12.4	Zpracování programu	92
1.12.5	Běh programu	93
1.12.6	Subsystémy	95
1.12.7	Hypercube architektura	96
<b>1.13</b>	<b>Numerické koprocory</b>	99
1.13.1	Protokoly	101
1.13.2	Připojení koprocory	102
1.13.3	Koprocory 80X87	104
1.13.4	Zpracování v pevné a pohyblivé čáře	105
<b>1.14</b>	<b>Multiuser a Multitasking</b>	108
1.14.1	Operační systém reálného času	109
1.14.2	Funkce operačního systému	110
1.14.3	Nepreemptivní systémy	112
1.14.4	Alternativy operačních systémů	113
1.14.5	Operační systém MS-DOS	114
1.14.6	Operační systém Concurrent	116

<b>2.</b>	<b>Systémy PC s mikroprocesorem 8088</b>	119
<b>2.1</b>	<b>Modifikovaný obvod PC</b>	119
<b>2.2</b>	<b>Mikroprocesor 8088</b>	122
2.2.1	Vnitřní PC systém	124
2.2.2	Funkční jednotky mikroprocesoru 8088	124
2.2.3	Výstupy mikroprocesoru 8088	127
2.2.4	Zpracování přerušení	128
2.2.5	Generátor taktů 8284A	129
2.2.6	Maximální režim mikroprocesoru 8088	130
2.2.7	Fyzické adresování	132
2.2.8	Oblasti paměti PC	133
2.2.9	Adresace paměťových jednotek	134
<b>2.3</b>	<b>Numerický koprocory 8087</b>	137
2.3.1	Formáty zpracování	138
2.3.2	Formáty numerických dat	139
2.3.3	Vnitřní uspořádání koprocory 8087	140
2.3.4	Výměna dat mezi mikroprocesorem 8088 a koprocory 8087	143
2.3.5	Součinnost mikroprocesoru 8088 a koprocory 8087	145
2.3.6	Řídící vedení mezi mikroprocesorem 8088 a koprocory 8087	146
<b>2.4</b>	<b>Kontroler přerušení 8259A</b>	147
2.4.1	Inicializace kontroleru	148
2.4.2	Kontroler přerušení v systému	150
2.4.3	Řízení kontroleru přerušení	152
<b>2.5</b>	<b>Časovač 8253</b>	152
2.5.1	Inicializace obvodu 8253	153
2.5.2	Obvod v systému	154
2.5.3	Vnitřní funkční části	156
<b>2.6</b>	<b>Stykový obvod 8255</b>	157
2.6.1	Režimy provozu PPI	157
2.6.2	PPI jako interface v systému	158
<b>2.7</b>	<b>DMA kontroler 8237A</b>	160
2.7.1	DMA kontroler v systému	161
2.7.2	Režimy práce DMA	163
2.7.3	Inicializace kontroleru	164
2.7.4	Řízení DMA v systému	165
<b>2.8</b>	<b>Systémová deska s mikroprocesorem 8088</b>	167
2.8.1	Řízení přerušení	167
2.8.2	Adresace PC-Bus	168

2.8.3	Instalace PC Turbo desky	169
2.8.4	Instalace RAM sekce	170
2.8.5	Instalace monitoru a disketové jednotky	171
2.9	PC-Bus podle ISA	173
2.10	Sada čipů pro PC/XT	175
2.11	Napájení PC	178

### 3 Systémová rozšíření a modifikace pro PC-systémy 183

3.1	Rozšíření primární paměti	183
3.2	Rozšíření sekundární paměti	186
3.2.1	Informace k disketám a DOSu	187
3.2.2	FDC kontroler a buďící obvody	189
3.2.3	Řídící funkce FDC	190
3.2.4	Záznamová a čtecí hlava	191
3.2.5	Metody záznamu	193
3.2.6	Rutiny BIOSu	195
3.2.7	Struktura datových nosičů MS-DOSu	196
3.2.8	Mechanismy přístupu	199
3.2.9	Adresář diskety DOS	199
3.2.10	Hardware pro řízení disket	200
3.2.11	Rozhraní pro řízení mechaniky	202
3.2.12	Hardware mechaniky	203
3.2.13	Kontroler disketové jednotky 82077AA	207
3.2.14	3,5 a 5,25 palcové mechaniky	212
3.3	Mechaniky pevných disků (Winchester)	213
3.3.1	Informace o přístupových dobách	214
3.3.2	Připojení pevného disku	215
3.3.3	Metody záznamu	217
3.3.4	WDC jako rozhraní ST506/ST412	218
3.3.5	Rozhraní WDC	220
3.3.6	ESDI kontroler	223
3.3.7	Kombinované řízení disket a pevných disků	224
3.3.8	WDC kontroler s pamětí cache	227
3.3.9	Rozhraní standardu SCSI	228
3.3.10	Vylepšený standard SCSI-2	230
3.3.11	Rozhraní podle IPI	234
3.4	Více o pevných discích	237

3.4.1	Programy pro reorganizaci souborů	238
3.4.2	Fragmentace souborů	239
3.4.3	Norton-Utilities	240
3.4.4	Systémové informace	241
3.4.5	Viry, červi a trójští koně	242
3.4.6	Ochrana proti virovým programům	243
3.5	Sériové rozhraní podle RS232C	245
3.5.1	Funkce	247
3.5.2	Standardní sériový kontroler 8250	248
3.5.3	Generování modulačních rychlostí	250
3.5.4	Zapojení konektorů	251
3.5.5	Přenosový protokol ETX/ACK	252
3.5.6	XON/XOFF-přenosový protokol	253
3.5.7	Přenosový protokol KERMIT	253
3.5.8	Sériové rozhraní XMODEM	254
3.5.9	ASC - obvod 82510	255
3.5.10	Připojení do PC-systému	259
3.5.11	Software pro XMODEM	261
3.5.12	Kontrola a ošetření chyb	263
3.5.13	Sériový komunikační kontroler	263
3.5.14	Hardware modulu SCC	264
3.5.15	Modul SCC v systému	267
3.5.16	Modul SCC v PC-systému	269
3.5.17	Protokoly HDLC a SDLC	271
3.6	Paralelní rozhraní tiskárny	273
3.7	Monitory a videokarty	276
3.7.1	Srovnání monitorů	278
3.7.2	Barevné monitory	281
3.7.3	Multisync monitory	283
3.7.4	PC-videoadaptéry	284
3.7.5	MDA adaptéry	286
3.7.6	Obrazová paměť	287
3.7.7	CGA adaptér	289
3.7.8	Adaptér Herkules	292
3.7.9	Adaptér EGA	292
3.7.10	VEGA - Super EGA standard	293
3.7.11	VGA standard pro modely PS/2	294
3.7.12	Subsystémy barevné grafiky	294
3.8	Grafický koprocesor 82786	296
3.8.1	Grafický subsystém	297

3.8.2	Obvody 80386 a 82786	299
3.8.3	Grafické příkazy obvodu 82786	300
3.8.4	Soubor příkazů obvodu 82786	302
3.8.5	Vytváření programu pro obvod 82786	303
3.8.6	Příklad vytváření programu	304
3.8.7	Grafická paměť	304
3.8.8	Hardwarová podpora oken	307
3.8.9	Dva způsoby zapojení rozhraní CRT	308
3.8.10	Grafický koprocesor pro 8-bitové systémy	312
3.8.11	Obrazová paměť	313
3.8.12	Připojení TTL monitoru	314
<b>3.9</b>	<b>TIGA, nový grafický standard s vysokým rozlišením</b>	314
3.9.1	Standard 8514/A	316
3.9.2	Grafická architektura TIGA	318
3.9.3	TIGA moduly a jejich využití	319
3.9.4	Hardware pro systém 8514/A	320
3.9.5	TIGA pro systémy PC	323
<b>4.</b>	<b>16-bitové počítačové systémy s mikroprocesorem 80286</b>	325
<b>4.1</b>	<b>Mikroprocesor 80286</b>	328
<b>4.2</b>	<b>Vlastnosti mikroprocesoru 80286</b>	333
4.2.1	Reálný režim a režim ochrany	334
4.2.2	Správa paměti	337
4.2.3	Ochranné funkce procesoru 80286	338
4.2.4	Privilegia ochrany	340
4.2.5	Operační systém OS/2	341
4.2.6	Struktura ochrany a privilegované úrovně	342
4.2.7	Multitasking	345
4.2.8	Integrovaná správa paměti	347
<b>4.3</b>	<b>Generátor taktu 82C284</b>	347
<b>4.4</b>	<b>Řadič sběrnice 82C288</b>	349
<b>4.5</b>	<b>Interní realizace AT systému</b>	350
<b>4.6</b>	<b>Numerický koprocesor 80287</b>	352
4.6.1	Registry pohyblivé řádové čárky	352
4.6.2	Modifikace	353
4.6.3	Matematický koprocesor 80287XL a IIT2C87	355

<b>4.7</b>	<b>DMA kontroler v AT-systémech</b>	357
4.7.1	Rozšířené režimy	359
4.7.2	Zvolené režimy	360
<b>4.8</b>	<b>Rozšířené funkce přerušeni</b>	361
<b>4.9</b>	<b>Rozšiřující sloty v AT-systémech</b>	363
<b>4.10</b>	<b>Mikroprocesor 80286 se sadou čipů Chipset</b>	365
<b>4.11</b>	<b>Technika NEAT-board</b>	367
4.11.1	NEAT-board pro standard ISA	368
4.11.2	Stínová RAM a režim Set-up	369
4.11.3	Pomocí funkce EMS přes hranice MS-DOSu	371
<b>4.12</b>	<b>Mini-AT s čipem 82C235</b>	372
<b>4.13</b>	<b>Zákaznické sady čipů pro počítače AT</b>	374
4.13.1	Univerzální sada čipů	374
4.13.2	Modifikovaný návrh	376
4.13.3	Konfigurace paměti	378
<b>5</b>	<b>32-bitové mikroprocesory 80386DX a 80386SX</b>	381
<b>5.1</b>	<b>Mikroprocesor 80386DX</b>	381
5.1.1	Struktura mikroprocesoru 80386DX	382
5.1.2	Registry v mikroprocesoru 80386	383
5.1.3	Organizace paměti	385
5.1.4	Segmentování	387
5.1.5	Stránkování	388
5.1.6	Logické adresování	389
<b>5.2</b>	<b>Architektura mikroprocesoru 80386</b>	389
5.2.1	Virtuální paměť	390
5.2.2	Vnitřní stavba	390
5.2.3	Princip činnosti Pipelining (zřetězení)	391
5.2.4	Zapojení mikroprocesoru 80386DX	392
<b>5.3</b>	<b>Externí hardware a cykly sběrnice</b>	394
5.3.1	Mikroprocesor 80386 a 80387 v systému	394
5.3.2	Mikroprocesor 80386 s perifériemi	396
5.3.3	Osmi a šestnáctibitové podsystémy	398
<b>5.4</b>	<b>Mikroprocesor 80386SX</b>	400
5.4.1	Výkonové charakteristiky	401
5.4.2	Kompatibilita softwaru	401
5.4.3	Rozdíly hardwaru	401

5.4.4	Sběrníkový systém mikroprocesoru 80386SX	402
5.4.5	Rozhodnutí o přidělení sběrnice	404
5.4.6	Periférie	405
5.4.7	Zpracování přerušení v 82230	406
5.4.8	Logika zpoždování	408
5.4.9	Periferní prvek 82231	410
5.4.10	Interní funkce logiky	411
5.4.11	Obvod rozhraní 82335	412
5.4.12	Stínová funkce a režim nastavování	412
5.4.13	O hranicích MS-DOS s funkcí EMS	413
5.4.14	Automaticky do pracovní paměti 8 Mbyte	415
5.4.15	Druhy provozu PC, AT a Turbo	416
5.4.16	Moduly DRAM v technice SIMM	417
<b>5.5</b>	<b>Numerické koprocessory</b>	419
5.5.1	Koprocessory 80386 a 80387 v systému	419
5.5.2	Interní struktura	420
5.5.3	Obvody 80386SX a 80387SX v systému	423
5.5.4	Koprocessory Weitek WTL3167	423
5.5.5	Porovnání mezi 80387 a WTL3167	426
5.5.6	Koprocessor WTL3167 v systému	428
5.5.7	Instalace v PC-systému	432
5.5.8	Koprocessory 83D87 a 80C387	433
<b>5.6</b>	<b>Řadič cache 82385</b>	435
5.6.1	Transparentně fyzická cache	435
5.6.2	Užitečnost systému cache	435
5.6.3	Funkce se zpoždovacími takty a bez nich	438
5.6.4	Interní struktura	439
5.6.5	Mikroprocesor a řadič cache	440
5.6.6	Paměťové prvky pro cache	442
5.6.7	Metoda "Posted Write"	444
<b>5.7</b>	<b>Zvýšení výkonu pro sběrnici ISA</b>	445
5.7.1	Vývoj techniky ISA	445
5.7.2	Soubor čipů 82340SX pro ISA	446
5.7.3	Soubor čipů ISA v systému	448
5.7.4	Technika ISA v cache	449
<b>5.8</b>	<b>Mikrokanál IBM</b>	452
5.8.1	Soubor čipů pro mikrokanál	452
5.8.2	Sběrníkové systémy v mikrokanálu	454
5.8.3	Soubor čipů sběrníkového masteru	454
5.8.4	Signály sběrnice a vodiče	455

<b>5.9</b>	<b>EISA - Sběrníkový systém budoucnosti</b>	459
5.9.1	Otevřený sběrníkový systém I/O	461
5.9.2	Plně 32-bitové adresování	462
5.9.3	Soubor čipů 82350 EISA	463
5.9.4	Struktura podsystémů	464
5.9.5	Konektor EISA	466
5.9.6	Zdokonalené funkce	468
5.9.7	Funkce sběrníkového masteru	469
5.9.8	Automatická konfigurace systému	471
<b>6</b>	<b>32-bitové systémy s mikroprocesorem i486</b>	473
<b>6.1</b>	<b>Od osobního počítače k osobní centrální jednotce</b>	473
6.1.1	O systémech MIPS a MFLOPS	474
6.1.2	Vývojové fáze	474
6.1.3	Pracovní výkonnost velkých počítačů	476
6.1.4	Hardware prvku i486	479
<b>6.2</b>	<b>Sběrníkové systémy i486</b>	480
6.2.1	Dynamický formát datové sběrnice	481
6.2.2	Interní paměť cache	482
6.2.3	Organizace cache	483
6.2.4	Jednotka TLB	485
6.2.5	Algoritmus nahrazování	486
6.2.6	Aktualizace hlavní paměti	487
6.2.7	Cache 8-Kbyte mikroprocesoru i486	489
6.2.8	Interní cache a externí hlavní paměť	491
<b>6.3</b>	<b>Registry procesoru i486</b>	495
6.3.1	Flagový (příznakový) registr	495
6.3.2	Řídící registry	496
6.3.3	Druhy provozu v registru CR0	499
6.3.4	Registry CR2 a CR3	499
6.3.5	Bity PWT a PCD	500
<b>6.4</b>	<b>Datové formáty</b>	501
<b>6.5</b>	<b>Systém i486 pro MS-DOS a Unix</b>	501
<b>6.6</b>	<b>Periférie pro i486</b>	504
6.6.1	Kontroler sběrnice s prvkem PAL	506
6.6.2	Adresování 8 a 16-bitových jednotek	507
<b>6.7</b>	<b>Koncepce pro počítač MS-DOS</b>	510
<b>6.8</b>	<b>Koncepce pro počítač Unix</b>	512

<b>6.9</b>	<b>Modul Turbocache</b>	517
6.9.1	Přístupové cesty	517
6.9.2	Cache druhé úrovně	518
6.9.3	Interní kontroler cache	521
6.9.4	Architektura modulu	522
6.9.5	Signály pro zneplatnění	523
6.9.6	Rozhraní systému	524
<b>6.10</b>	<b>Prvek i486 s koprocesorem WTL4167</b>	527
<b>7</b>	<b>Práce s disketou</b>	531
<b>7.1</b>	<b>Funkce programu SST</b>	531
<b>7.2</b>	<b>Diagnostické funkce</b>	532
7.2.1	Test hardware a BIOS	533
7.2.2	Systémové adresy	534
7.2.3	Údaje o disketových mechanikách	534
7.2.4	Informace o pevném disku	536
7.2.5	Informace o video adaptéru	538
7.2.6	Informace o operační paměti	538
	<b>LITERATURA</b>	541
	<b>Rejstřík</b>	543