

Obsah

1	Číselné soustavy a kódy	1
1.1	Číselné soustavy polyadické	1
1.1.1	Převody mezi soustavami	1
1.1.2	Vyjádření záporných čísel	5
1.1.3	Aritmetické operace v polyadických číselných soustavách	6
1.2	Číselné soustavy nepolyadické	9
1.2.1	Operace modulo a integer	9
1.2.2	Číselné soustavy zbytkových tříd	9
1.3	Číselné kódy	11
1.4	Příklady pro samostatné procvičení	11
1.4.1	Řešení	12
2	Logické funkce	13
2.1	Funkce jedné proměnné	13
2.2	Funkce dvou proměnných	14
2.2.1	Logická funkce AND-OR-INVERT	17
2.3	Booleova algebra	18
2.4	Vyjádření logických funkcí	19
2.4.1	Pravdivostní tabulka logické funkce	19
2.4.2	Zkrácený seznam stavových indexů	19
2.4.3	Algebraický zápis logické funkce	19
2.4.4	Vyjádření logických funkcí pomocí map	20
2.4.5	Vyjádření logických funkcí pomocí n-rozměrných těles	23
3	Minimalizace logických funkcí	25
3.1	Minimalizace logických funkcí pomocí algebraického zápisu	26
3.2	Minimalizace logických funkcí pomocí Karnaughových map	27
3.3	Minimalizace logických funkcí pomocí těles	34
3.4	Minimalizace logických funkcí pomocí metody Quine-McCluskey	38
3.5	Příklady pro samostatné procvičení	42
4	Logické obvody	43
4.1	Klasifikace logických obvodů	43
4.2	Kombinační logické obvody	43
4.3	Sekvenční logické obvody	43
5	Realizace logických funkcí, hazardy v kombinačních logických obvodech	46
5.1	Realizace logických funkcí pomocí hradel NAND a NOR	46
5.1.1	Realizace elementárních logických funkcí pomocí hradla NAND	46
5.1.2	Realizace elementárních logických funkcí pomocí hradla NOR	47
5.1.3	Úprava výchozí algebraické formy a realizace logické funkce	48
5.1.4	Realizace logických funkcí z hradel s omezeným počtem vstupů	50
5.1.5	Faktorizace	53
5.1.6	Připojení nevyužitých vstupů hradel	53
5.2	Hazardy v kombinačních logických obvodech	54

5.3	Příklady pro samostatné procvičení	57
6	Sekvenční logické obvody	58
6.1	Synchronní a asynchronní režim sekvenčního logického obvodu	59
6.2	Popis sekvenčního logického obvodu	60
6.3	Klopné obvody	64
6.3.1	Astabilní klopné obvody (multivibrátory)	64
6.3.2	Monostabilní klopné obvody	64
6.3.3	Bistabilní klopné obvody	65
6.4	Syntéza synchronních sekvenčních obvodů	71
6.4.1	Specifikace zadání, sestavení tabulek přechodů a výstupů	71
6.4.2	Minimalizace počtu vnitřních stavů	72
6.4.3	Kódování vnitřních stavů	75
6.4.4	Volba typu paměťového členu	76
6.4.5	Syntéza přechodových a výstupních funkcí	76
6.4.6	Návrh zapojení	78
6.4.7	Ověření návrhu simulací	79
6.5	Syntéza synchronních čítačů	79
6.6	Příklady pro samostatné procvičení:	82
7	Technologie pro realizaci logických obvodů a jejich vlastnosti	83
7.1	Základní parametry logických členů a hradel	83
7.1.1	Šumová imunita	84
7.1.2	Logický zisk	84
7.1.3	Přípustné zvlnění a rozptyl napájecího napětí, spotřeba	84
7.1.4	Dynamické vlastnosti hradel – doba zpoždění, pracovní frekvence	84
7.2	Technologie pro realizaci logických členů	85
7.2.1	Reléové a mechanické prvky	85
7.2.2	Diodová logika – DL	85
7.2.3	Diodově tranzistorová logika – DTL	86
7.2.4	Odporově tranzistorová logika – RTL	86
7.2.5	Tranzistorově tranzistorová logika – TTL	86
7.2.6	Specifické varianty IO TTL členů	89
7.2.7	Logika CMOS	89
7.2.8	Další vývoj v oblasti CMOS a TTL logiky	92
7.3	Programovatelné logické obvody	93
7.3.1	Paměti PROM	93
7.3.2	Obvody PLA, FPLA	93
7.3.3	Obvody PAL	93
7.3.4	Obvody GAL (SPLD)	94
7.3.5	Obvody CPLD	94
7.3.6	Obvody FPGA	95
8	Programovací jazyk VHDL	96

8.1	Struktura VHDL kódu	96
8.1.1	Entita	97
8.1.2	Signály a proměnné	98
8.1.3	Architektura	99
8.1.4	Komponenta	100
8.2	Základní syntaxe VHDL	104
8.2.1	Základní datové typy	104
8.2.2	Základní výrazy a operátory	106
8.3	Sekvenční zpracování příkazů	108
9	Přípravek Xilinx Spartan-3E a prostředí ISE Webpack	110
9.1	Popis přípravku Xilinx Spartan-3E a vnitřní stavby použitého FPGA	110
9.1.1	Konfigurovatelné logické bloky (CLB)	111
9.1.2	Systém propojování CLB bloků	111
9.1.3	Vývojová deska Xilinx Spartan-3E	112
9.2	Vývojové prostředí ISE Webpack	113
10	Realizace pokročilých struktur v jazyce VHDL	115
10.1	Podmínkové struktury	115
10.1.1	Sekvenční podmínky if a case	115
10.1.2	Podmínkové struktury when a select v paralelním prostředí	118
10.2	Realizace klopných obvodů	120
10.2.1	Klopný obvod typu RS	120
10.2.2	Klopný obvod typu D	123
10.2.3	Klopný obvod typu JK	125
10.3	<u>Čítače</u>	125
10.3.1	Asynchronní čítač	126
10.3.2	Synchronní čítač	133
10.4	Děličky kmitočtu	142
10.5	Cykly (smyčky)	150
10.5.1	Využití cyklu for	151
10.5.2	Smyčka typu while	153
10.5.3	Doplnění smyček o další klíčová slova next a exit	154
10.6	<u>Paralelní registr (střadač), sériový (posuvný) registr, kruhový registr</u>	154
10.6.1	Paralelní registr	155
10.6.2	Sériový (posuvný) registr	157
10.6.3	Kruhový registr	160
	Literatura	164