

Obsah:

1. Úvod.....	5
1.1. Slovníček.....	6
2. Základy vytváření návrhu obvodů pomocí VHDL.....	7
2.1. Dekodér 4-bitového kódu BCD na kód 7-segmentového LED displeje.....	7
2.2. Čtyřbitový čítač s asynchronním resetem.....	10
2.3. Multiplexor MUX 2:1.....	13
2.4. Modifikovaný MUX 2:2.....	14
2.5. Relační operátory.....	16
2.6. Operátory posuvu.....	17
3. Čítače a převodníky kódů.....	18
3.1. Dekodér 3-8 s povolením aktivní úrovně výstupů.....	18
3.2. Převodník binárního kódu na Grayův a naopak.....	18
3.3. Čtyřbitový čítač v Grayově kódu - model chování.....	21
3.4. Čítač v Grayově kódu s využitím převodu kódu.....	22
3.5. Čítač v Grayově kódu s pomocným bitem.....	24
4. Základní klopné obvody a přepínače dat.....	29
4.1. Asynchronní klopné obvody typu RS.....	29
4.2. Klopné obvody typu D.....	30
4.2.1. Klopný obvod řízený vzestupnou hranou.....	30
4.2.2. Klopný obvod řízený vzestupnou hranou s asynchronním nulováním.....	30
4.2.3. Klopný obvod řízený vzestupnou hranou s asynchronním nastavením.....	30
4.2.4. Klopný obvod řízený vz. hranou s asynchronním nulováním a nastavením..	31
4.2.5. Klopný obvod řízený vzestupnou hranou se synchronním nulováním.....	31
4.2.6. Klopný obvod řízený vzestupnou hranou se synchronním nastavením.....	32
4.2.7. Kl. obvod řízený vz. hranou s asynch. nul. a povolením synchronizace.....	32
4.3. Klopné obvody typu latch.....	33
4.3.1. Klopný obvod řízený úrovní (latch) s povolením synchronizace.....	33
4.3.2. Klopný obvod řízený úrovní (latch) s povolením dat.....	33
4.3.3. Klopný obvod řízený úrovní (latch) s povolením synchronizace.....	34
4.3.4. Klopný obvod řízený úrovní (latch) s nulováním.....	34
4.4. Prioritní kodér s konstruktem if-then-else.....	34
4.5. Multiplexory konstruované s použitím příkazu case.....	35
5. Stavové automaty.....	37
5.1. Návrh konečného automatu.....	37
5.2. Detektor posloupnosti tří jedničkových bitů - Moorova verze.....	40
5.3. Detektor posloupnosti tří jedničkových bitů - Mealyho verze.....	45
5.4. Detektor posloupnosti tří jedničkových bitů s explicitním kódováním stavů.....	46
6. Návrh digitálních subsystémů.....	48
6.1. Aritmeticko-logická jednotka – ALU.....	48
6.2. Paměť RAM 8x8b.....	49
6.3. X-bitová sčítačka.....	51
6.4. Převodník BIN na BCD.....	52
6.5. Převodník 12-bitového BCD kódu na 8-bitové binární slovo.....	53
6.6. Řadič kódového zámku.....	55
6.7. Řadič snímače.....	56
6.8. Generátor Fibonacciovy posloupnosti.....	60
7. Modelování reálných digitálních obvodů.....	67
7.1. Komparátor '85.....	67
7.2. Čítač '163.....	68
8. Příloha A.....	70

8.1.	Stručný přehled syntaxe VHDL	70
8.1.1.	Deklarace bloků programu	70
8.1.2.	Souběžné příkazy	72
8.1.3.	Sekvenční příkazy	73
8.1.4.	Popis synchronní logiky pomocí procesů	73
9.	Příloha B.....	75
9.1.	MultiSIM VHDL Education	75
9.1.1.	Vytvoření projektu	75
9.1.2.	Vytvoření nového modulu.....	76
9.1.3.	Kompilace a odstraňování syntaktických chyb.....	76
9.1.4.	Simulace	77
9.2.	Active-HDL.....	79
9.2.1.	Vytvoření návrhu	79
9.2.2.	Kompilace a odstraňování syntaktických chyb.....	80
9.2.3.	Simulace návrhu.....	80
9.3.	Vývojové prostředí fy Mentor Graphics	83
9.3.1.	Renoir	83
9.3.2.	ModelSim	85
10.	Literatura a odkazy.....	88