

# Obsah

1.	Blokové schéma počítače .....	7
1.1.	Processor .....	8
1.1.1.	ALU - aritmeticko-logická jednotka .....	8
1.1.2.	Registry .....	9
1.1.3.	Blok řízení a časování .....	10
1.2.	Paměti .....	10
1.2.1.	Paměti RAM.....	10
1.2.2.	Paměti ROM.....	12
1.2.3.	Paměti FRAM .....	14
1.3.	Sběrnice .....	15
1.3.1.	Datová sběrnice .....	16
1.3.2.	Adresová sběrnice .....	16
1.3.3.	Řídící sběrnice.....	16
1.3.4.	Adresový dekodér .....	17
1.4.	Vstupní / výstupní obvody .....	18
1.4.1.	Paralelní rozhraní .....	18
1.4.2.	Připojení vnějších obvodů na číslicové rozhraní .....	21
1.4.3.	Sériové rozhraní .....	22
	Synchronní rozhraní.....	26
1.5.	Analogové rozhraní.....	30
1.5.1.	Číslicovo-analogové (D/A) převodníky .....	31
1.5.2.	D/A převodníky s pomocnou veličinou .....	36
1.5.3.	Převodníky A/D .....	37
1.6.	Obsluha vnějších událostí .....	41
1.6.1.	Dotazování .....	41
1.6.2.	Přerušení.....	42
1.7.	Čítače, časovače.....	42
1.8.	Ostatní podpůrné obvody.....	43
1.8.1.	Generování signálu RESET .....	43
1.8.2.	Watch dog .....	44
1.8.3.	Generátor hodinového signálu .....	44
1.8.4.	Programovatelná logická pole.....	44
2.	Vývoj aplikací .....	45
2.1.	programové vybavení .....	45
2.2.	Hardware.....	47
2.3.	Ladění .....	47
3.	Zobrazení čísel v počítači.....	49
3.1.1.	Zobrazení necelých čísel .....	49
3.1.2.	Zobrazení záporných čísel.....	49
3.1.3.	Kód BCD.....	50
3.1.4.	Přepočítání mezi soustavami .....	50
3.1.5.	Šestnáctková soustava .....	50
4.	Programování v jazyce assembler I8051 .....	51
4.1.	Použité konvence .....	51
4.2.	Struktura zdrojového textu.....	51
4.3.	Vybrané pseudoinstrukce.....	55
4.4.	Registry a paměti procesoru 8051.....	56
4.4.1.	Registry .....	56

4.5.	Paměti a adresování.....	58
4.5.1.	Paměti.....	58
4.5.2.	Adresování.....	58
4.6.	Instrukční soubor.....	59
4.6.1.	Přesuny dat.....	59
4.6.2.	Aritmetické operace.....	61
4.6.3.	Logické instrukce.....	63
4.6.4.	Bitové instrukce.....	65
4.6.5.	Řízení běhu programu.....	67
4.6.6.	Ostatní operace.....	69
5.	Intel 8051.....	70
5.1.	Vnitřní struktura jádra '51.....	70
5.2.	Architektura mikrořadiče 80C51/2.....	71
5.2.1.	Paměť programu.....	71
5.2.2.	Vnitřní paměť dat a SFR registry.....	72
5.2.3.	Vnější paměť dat.....	73
5.2.4.	Procesor.....	73
5.2.5.	V/V porty.....	75
5.2.6.	Čítače a časovače mikrořadiče 8051.....	78
5.2.7.	Sériové rozhraní.....	82
5.2.8.	Přerušovací systém.....	84
5.3.	Perspektiva mikrořadičů s jádrem I'51.....	86
6.	Mikrořadič Silicon Laboratories C8051F12x.....	87
6.1.	Pouzdro C8051F120.....	87
6.2.	Parametry mikrořadiče.....	88
6.3.	Vnitřní bloková struktura 8051CF120.....	89
6.4.	Paměť.....	90
6.5.	Programovatelné vstupy/výstupy a CROSSBAR.....	92
6.6.	A/D převodník.....	95
6.7.	Zdroj referenčního napětí.....	99
6.8.	Komparátory.....	101
6.9.	D/A převodníky.....	103
6.10.	Časovače.....	104
6.10.1.	Časovač 0 a 1.....	104
6.10.2.	Časovače 2, 3 a 4.....	105
6.10.3.	WatchDog.....	108
6.11.	Sériové sběrnice.....	108
6.11.1.	UART0.....	109
6.11.2.	UART1.....	111
7.	Atmel 89C2051.....	112
8.	Přílohy.....	114
8.1.	Instrukční soubor I51.....	114
8.2.	Nejpoužívanější pseudoinstrukce.....	118
8.3.	Literatura a odkazy k dalšímu studiu.....	119
8.4.	Internetové odkazy.....	119