

Obsah

1.	Řada procesorů Intel 86	15
2.	Principy programování procesoru	17
2.1	Typy dat	17
2.2	Organizace paměti	20
2.3	Registry	21
2.3.1	Všeobecné registry	22
2.3.2	Segmentové registry	23
2.3.3	Príznakový registr EFLAGS	23
2.3.4	Registr ukazatele instrukce EIP	25
2.4	Zásobník	25
2.5	Adresovací techniky	26
2.5.1	Registr	27
2.5.2	Přímý operand	27
2.5.3	Paměťové operandy	27
2.5.4	Změna segmentového registru	27
2.5.5	Výpočet efektivní adresy	28
2.5.6	Přírůstek	29
2.5.7	Nepřímá adresa	30
2.5.8	Bázovaná adresa	30
2.5.9	Indexovaná adresa	30
2.5.10	Kombinovaná adresa: přírůstek+báze+index	30
2.5.11	Kombinovaná adresa: přírůstek+báze+(index*faktor)	31
2.6	Přerušení a výjimky	31
2.7	Ovládání vstupů a výstupů	31
2.7.1	Zvláštní adresový prostor V/V bran	32
2.7.2	Mapování V/V bran do adresového prostoru fyzické paměti	32
2.7.3	V/V operace v chráněném režimu	33

3.	FPU	35
3.1	Typy dat zpracovávaných FPU	35
3.2	Výsadní symboly	37
3.3	Výjimky FPU	38
3.4	Registry FPU	39
3.5	Komunikace procesoru a FPU	41
4.	Reálný režim	43
4.1	Adresace paměti	43
4.2	Registry a instrukce	44
4.3	Přerušení a výjimky	45
5.	Přehled architektury chráněného režimu	49
5.1	Správa paměti v chráněném režimu	49
5.2	Segmentace paměti	49
5.2.1	Logická adresa	50
5.2.2	Tabulky popisovačů segmentů	51
5.2.3	Popisovač datového segmentu	52
5.2.4	Popisovač instrukčního segmentu	54
5.2.5	Popisovač systémového segmentu	55
5.2.6	Segmentové registry	57
5.2.7	Registry GDTR a LDTR	57
5.2.8	Sdílení jednoho segmentu více popisovači	58
5.3	Systémové registry	59
5.3.1	Příznakový registr s příznaky chráněného režimu	59
5.3.2	Řídicí registr CR0	61
5.3.3	Řídicí registr CR2	63
5.3.4	Řídicí registr CR3	63
5.3.5	Řídicí registr CR4	64
5.4	Stránkování	65
5.4.1	TLB	69
5.5	Systém ochrany	73
5.5.1	Úrovně oprávnění	73
5.5.2	Zpřístupnění datového segmentu	74
5.5.3	Předání řízení do instrukčního segmentu	75
5.5.4	Předání řízení do instrukčního segmentu pomocí brány	75
5.5.5	Brány	76
5.5.6	Brána pro předání řízení	76
5.5.7	Shrnutí pravidel pro předávání řízení	78
5.5.8	Přepínání zásobníků	79

5.5.9	Privilegované instrukce	80
5.6	Přepínání procesů	82
5.6.1	Segment stavu procesu a registr TR	82
5.6.2	Popisovač TSS	84
5.6.3	Brána zpřístupňující segment stavu procesu	85
5.6.4	Přepínání procesů	86
5.6.5	Detailní popis přepínání procesů	88
5.6.6	Brány zpřístupňující TSS versus přerušení	89
5.6.7	Mapa přístupných V/V bran	90
5.7	Výjimky a přerušení	91
5.7.1	Tabulka popisovačů segmentů obsluhy přerušení	91
5.7.2	Brány pro přerušení	92
5.7.3	Plnění zásobníku při přerušení	93
5.7.4	Chybové slovo	93
5.7.5	Rezervované výjimky	95
6.	Počáteční nastavení a přepínání režimů procesoru	105
6.1	Test procesoru (BIST)	105
6.2	Obsah registrů	107
6.3	První provedená instrukce	107
6.4	Inicializace FPU	108
6.5	Přepnutí do chráněného režimu	109
6.5.1	Víceúlohové zpracování	110
6.5.2	Zapnutí stránkování	110
6.6	Přepnutí do reálného režimu	111
7.	Ladicí nástroje	113
7.1	Sledování přepínání procesů	113
7.2	Ladicí registry	114
7.3	Příznak RF	117
7.4	Ladicí body	118
7.5	Ladicí body pro datové přístupy	119
7.6	Zákaz přístupu k ladicím registrům	119
8.	Interní vyrovnávací paměť	121
8.1	Datová IVP	122
8.2	Instrukční IVP	123
8.3	Řízení IVP	123
8.4	Plnění IVP	124
8.5	Vyprázdnění IVP	125

8.6	Organizace IVP	125
9.	Režim správy systému	131
9.1	Přerušení SMI	132
9.2	Počáteční stav SMM	132
9.3	Spuštění SMM	132
9.4	Formát uložení registrů v SMRAM	134
9.5	Identifikátor verze SMM (offset FEFC)	134
9.6	Opakování V/V instrukce (offset FF00)	134
9.7	Opakování instrukce HLT (offset FF02)	136
9.8	Báze záznamu o registrech (offset FEF8h)	136
9.9	Návrat z SMM	137
10.	Režim virtuální 8086	139
10.1	Struktura procesu V86	139
10.2	Zapnutí a vypnutí režimu V86	139
10.3	Ochrany v režimu V86	140
10.4	Výjimky a přerušení v režimu V86	141
10.5	Použití V86 procesu pro obsluhu přerušení	143
10.6	Použití brány pro přerušení	143
10.7	Stránkování v režimu V86	145
10.8	Rozdíly V86 oproti 8086	147
11.	Další rysy architektury procesoru Pentium	149
11.1	Zřetěžené provádění instrukcí	151
11.2	Předvídání skoků	152
11.3	Pravidla párování instrukcí	153
11.4	Vyrovňávání zápisu a serializační instrukce	155
11.5	Sledování toku instrukcí	155
11.5.1	Signály IU, IV a IBT	155
11.5.2	Registr TR12	156
12.	Instrukční repertoár	157
12.1	Atributy velikosti operandu a adresy	157
12.1.1	Implicitní atribut segmentu	157
12.1.2	Prefixy měnící hodnotu atributu	158
12.1.3	Atribut velikosti zásobníkové adresy	158
12.2	Formát instrukcí	158
12.2.1	Slabiky ModR/M a SIB	159
12.3	Formát popisu instrukcí	160

12.3.1	Popis operandů instrukce	161
12.3.2	Popis operací vykonávaných instrukcí	163
12.3.3	Nastavované příznaky	165
12.3.4	Výjimky	165
12.3.5	Poznámky k předchozím procesorům	166
12.4	Instrukce pro přesun dat	167
12.4.1	Instrukce přesunů dat pro obecné použití	167
12.4.2	Instrukce pro manipulaci se zásobníkem	170
12.4.3	Instrukce pro konverzi typů	178
12.5	Instrukce binární celočíselné aritmetiky	181
12.6	Logické instrukce	193
12.7	Rotace a posuvy	196
12.8	Větvění programu	204
12.9	Instrukce pro manipulace s příznakovým registrem	231
12.10	Přerušovací systém	240
12.11	Cykly	253
12.12	Ovládání V/V	255
12.13	Další instrukce přesunů dat	257
12.14	Řetězcové instrukce	261
12.15	Instrukce pro práci s bity	272
12.15.1	Instrukce BCD aritmetiky	275
12.16	Řídící instrukce	280
12.17	Instrukce FPU	307
A.	Operační znaky instrukcí	359
B.	Popisy signálů	383
B.1	Popis signálů procesoru Pentium	383
B.2	Popis signálů procesoru Intel Intel486	387
B.3	Popis signálů procesoru Intel Intel386	387
B.4	Popis signálů procesoru Intel286	390
B.5	Popis signálů procesoru Intel 8086	390
	Index instrukcí	393
	Index	399
	Literatura	412