

# OBSAH

|          |                                                                                   |           |
|----------|-----------------------------------------------------------------------------------|-----------|
| <b>1</b> | <b>Předmluva</b>                                                                  | <b>9</b>  |
| 1.1      | KLÍČOVÁ SLOVA JAZYKA VERILOG                                                      | 12        |
| 1.2      | SLOVNÍČEK TERMÍNŮ UŽÍVANÝCH V JAZYKU VERILOG                                      | 13        |
| <b>2</b> | <b>Syntaxe jazyka Verilog a modelování číslicových systémů</b>                    | <b>14</b> |
| 2.1      | ÚVODNÍ POZNÁMKY                                                                   | 14        |
| 2.2      | ZÁKLADNÍ PRVKY JAZYKA VERILOG                                                     | 19        |
| 2.2.1    | <i>Typy dat</i>                                                                   | 22        |
| 2.2.2    | <i>Skalární a vektorové signály, pole</i>                                         | 25        |
| 2.2.3    | <i>Literály, konstanty a parametry</i>                                            | 28        |
| 2.2.4    | <i>Výrazy a operátory</i>                                                         | 32        |
| 2.2.4.1  | <i>Vyhodnocení výrazů, bitová šířka výsledku</i>                                  | 35        |
| 2.2.5    | <i>Přiřazovací příkazy</i>                                                        | 37        |
| 2.3      | PROCEDURÁLNÍ KÓD                                                                  | 38        |
| 2.3.1    | <i>Blok <b>begin-end</b></i>                                                      | 38        |
| 2.3.2    | <i>Příkaz <b>always</b></i>                                                       | 39        |
| 2.3.3    | <i>Blokující a neblokující přiřazení</i>                                          | 42        |
| 2.3.4    | <i>Podmíněný příkaz <b>if(-else)</b></i>                                          | 46        |
| 2.3.5    | <i>Příkaz <b>case</b></i>                                                         | 47        |
| 2.3.6    | <i>Smyčky</i>                                                                     | 50        |
| 2.3.7    | <i>Bloky <b>generate</b></i>                                                      | 50        |
| 2.3.8    | <i>Behaviorální modelování základních paměťových prvků</i>                        | 51        |
| 2.4      | FUNKCE A ÚLOHY                                                                    | 56        |
| 2.5      | STRUKTURÁLNÍ STYL A VYTVÁŘENÍ HIERARCHICKÝCH MODELŮ                               | 60        |
| 2.5.1    | <i>Hierarchická jména a rozsah jejich působnosti</i>                              | 64        |
| 2.5.2    | <i>Vkládání speciálních komponent</i>                                             | 65        |
| 2.6      | DIREKTIVY KOMPILÁTORU                                                             | 66        |
| 2.7      | POSTUP VYTVOŘENÍ KONSTRUKCE V JAZYKU VERILOG                                      | 68        |
| <b>3</b> | <b>Verifikace – ověření funkce a časových parametrů</b>                           | <b>72</b> |
| 3.1      | PROSTŘEDKY JAZYKA VERILOG POUŽÍVANÉ VE ZKUŠEBNÍCH JEDNOTKÁCH                      | 75        |
| 3.2      | PRŮBĚH SIMULACE                                                                   | 77        |
| 3.3      | ZPŮSOBY ŘÍZENÍ SIMULACE                                                           | 80        |
| 3.3.1    | <i>Nastavení doby simulace</i>                                                    | 82        |
| 3.4      | PŘÍKLADY GENEROVÁNÍ STIMULAČNÍCH SIGNÁLŮ                                          | 82        |
| 3.4.1    | <i>Generování jednoduchého hodinového signálu a několika jednotlivých impulsů</i> | 83        |
| 3.4.2    | <i>Kombinace jednoduchých generátorů impulsů</i>                                  | 84        |
| 3.4.3    | <i>Generování jednorázové posloupnosti hodnot</i>                                 | 85        |
| 3.4.4    | <i>Generování opakujících se posloupností hodnot</i>                              | 86        |
| <b>4</b> | <b>Příklady konstrukcí v jazyku Verilog</b>                                       | <b>87</b> |
| 4.1      | KOMBINAČNÍ OBVODY                                                                 | 87        |

|       |                                                                                                                                                     |     |
|-------|-----------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| 4.1.1 | <i>Převodník hexadecimálního kódu na kód sedmisegmentového displeje</i>                                                                             | 87  |
| 4.1.2 | <i>Převodník kódu BCD na binární kód</i>                                                                                                            | 88  |
| 4.1.3 | <i>Sčítačka a odčítačka operandů bez znaménka</i>                                                                                                   | 91  |
| 4.1.4 | <i>Sčítačka pracující v kódu BCD, operandy bez znaménka</i>                                                                                         | 92  |
| 4.1.5 | <i>Převodník binárního kódu na kód BCD</i>                                                                                                          | 93  |
| 4.1.6 | <i>Převodník binárního kódu na Grayův kód a naopak</i>                                                                                              | 98  |
| 4.1.7 | <i>Multiplexor</i>                                                                                                                                  | 100 |
| 4.1.8 | <i>Sčítačka a násobička pro čísla se znaménkem</i>                                                                                                  | 101 |
| 4.2   | <b>SUBSYSTÉMY SE ZVLÁŠTNÍMI TYPY BRAN</b>                                                                                                           | 102 |
| 4.2.1 | <i>Subsystémy s třístavovými výstupy a s otevřeným kolektorem</i>                                                                                   | 103 |
| 4.2.2 | <i>Subsystémy s obousměrnými branami</i>                                                                                                            | 103 |
| 4.3   | <b>KLOPNÉ OBVODY A REGISTRY</b>                                                                                                                     | 104 |
| 4.3.1 | <i>Paměťové obvody se zpětnou vazbou</i>                                                                                                            | 104 |
| 4.3.2 | <i>Klopné obvody a registry řízené branou</i>                                                                                                       | 105 |
| 4.4   | <b>ČÍTAČE</b>                                                                                                                                       | 105 |
| 4.4.1 | <i>Binární synchronní čítače</i>                                                                                                                    | 105 |
| 4.4.2 | <i>Čítače LFSR</i>                                                                                                                                  | 107 |
| 4.4.3 | <i>Čítač pracující v kódu BCD</i>                                                                                                                   | 108 |
| 4.4.4 | <i>Grayův čítač</i>                                                                                                                                 | 110 |
| 4.4.5 | <i>Asynchronní binární čítač</i>                                                                                                                    | 112 |
| 4.5   | <b>STAVOVÉ AUTOMATY</b>                                                                                                                             | 113 |
| 4.5.1 | <i>Příklad 1: Detektor posloupnosti tří jedničkových bitů - Moorova verze</i>                                                                       | 116 |
| 4.5.2 | <i>Příklad 2: Detektor posloupnosti tří jedničkových bitů - Mealyho verze s výstupním registrem a s předvídáním hodnoty výstupu v příštím stavu</i> | 122 |
| 4.5.3 | <i>Několik potřebů a zkušeností z návrhu stavových automatů v systému ISE</i>                                                                       | 125 |
| 4.6   | <b>MODELOVÁNÍ PAMĚTÍ RAM A ROM</b>                                                                                                                  | 130 |
| 4.6.1 | <i>Jednobránová distribuovaná paměť RAM s asynchronním čtením</i>                                                                                   | 131 |
| 4.6.2 | <i>Jednobránová bloková paměť RAM v módu Write-First</i>                                                                                            | 132 |
| 4.6.3 | <i>Jednobránová bloková paměť RAM v módu No-Change</i>                                                                                              | 133 |
| 4.6.4 | <i>Jednobránová bloková paměť RAM v módu synchronního čtení</i>                                                                                     | 134 |
| 4.6.5 | <i>Dvoubránová distribuovaná paměť RAM s asynchronním čtením</i>                                                                                    | 135 |
| 4.6.6 | <i>Dvoubránová bloková paměť RAM se synchronním čtením</i>                                                                                          | 136 |
| 4.6.7 | <i>Jednobránová bloková paměť ROM se synchronním čtením</i>                                                                                         | 137 |
| 5     | <b>Co přináší SystemVerilog</b>                                                                                                                     | 139 |
|       | <b>Literatura</b>                                                                                                                                   | 152 |
|       | <b>Resumé</b>                                                                                                                                       | 156 |
|       | <b>Summary</b>                                                                                                                                      | 158 |
|       | <b>Rejstřík</b>                                                                                                                                     | 160 |