

OBSAH:

1. ALGORITMY ČZS A JEJICH REALIZACE	9
1.1 ZÁKLADNÍ ALGORITMY ČZS	11
1.1.1 Číslicová filtrace (11)	
1.1.2 Diskrétní Fourierova transformace (16)	
1.1.3 Rychlá Fourierova transformace (23)	
1.1.4 Diskrétní konvoluce a korelace (27)	
1.2 OBEČNÁ ARCHITEKTURA PROCESORU ČZS	31
1.2.1 Hlavní požadavky na procesor ČZS (31)	
1.2.2 Obecná architektura a její popis (31)	
1.3 KLASIFIKACE PROCESORŮ ČZS	33
1.3.1 Procesory s pevnou logikou (33)	
1.3.2 Procesory programovatelné (34)	
1.3.3 Procesory jiné (36)	
1.3.4 Kódy aritmetické jednotky (36)	
Literatura (38)	
2. JEDNOČÍPOVÉ SIGNÁLOVÉ PROCESORY	39
2.1 KLASIFIKACE SIGNÁLOVÝCH PROCESORŮ	39
2.1.1 Signálové procesory 1. generace (41)	
2.1.2 Signálové procesory 2. generace (45)	
2.1.3 Signálové procesory 3. generace (46)	
2.2 PRÁCE SE SIGNÁLOVÝMI PROCESORY	49
2.2.1 Vývojové prostředky (49)	
2.2.2 Postup při realizaci algoritmů ČZS (50)	
2.3 PERSPEKTIVY SIGNÁLOVÝCH PROCESORŮ	50
Literatura (51)	
3. SIGNÁLOVÝ PROCESOR i2920	52
3.1 ARCHITEKTURA PROCESORU	53
3.1.1 Blokové zapojení procesoru (53)	
3.1.2 Základní omezení procesoru (54)	
3.2 POPIS SEKCÍ A INSTRUKČNÍHO SOUBORU	55
3.2.1 Řídící sekce (55)	
3.2.2 Aritmetická sekce (56)	
3.2.3 Analogová sekce (59)	

3.3 ZAPOJENÍ DO REÁLNÉHO PROSTŘEDÍ	63
3.3.1 Režimy činnosti procesoru (63)	
Programovací režim (63)	
Provozní režim (65)	
3.3.2 Analogový vstup/výstup (67)	
3.3.3 Číslicový vstup/výstup (67)	
3.4 PŘÍKLADY PROGRAMOVÁNÍ	71
3.4.1 Konvence assembleru AS2920 (71)	
3.4.2 Násobení konstantou a proměnnou (72)	
3.4.3 Filtr IIR (74)	
3.4.4 Soustava filtrů IIR (79)	
3.4.5 Filtr FIR (87)	
3.4.6 Programy pro číslicový styk (92)	
Číslicový vstup dat (92)	
Číslicový výstup dat (97)	
Číslicový vstup koeficientů (102)	
3.4.7 Filtr s křížovou strukturou LAT1 (108)	
Literatura (110)	
4. SIGNÁLOVÝ PROCESOR uPD7720	111
4.1 ARCHITEKTURA PROCESORU	112
4.1.1 Blokové zapojení (112)	
4.1.2 Zapojení pouzdra (114)	
4.2 FUNKČNÍ POPIS DÍLČÍCH BLOKŮ	117
4.2.1 Řadič programu (117)	
4.2.2 Paměť dat RAM (119)	
4.2.3 Paměť koeficientů DROM (121)	
4.2.4 Násobička (122)	
4.2.5 Obvody ALU (123)	
4.2.6 Obvody styku (125)	
Stavový registr (125)	
Sériový vstup (127)	
Sériový výstup (128)	
Paralelní vstup/výstup (129)	
4.3 INSTRUKČNÍ SOUBOR	132
4.3.1 Instrukce typu OP/RT (133)	
4.3.2 Instrukce typu J/C/B (140)	
4.3.3 Instrukce typu LD (142)	
4.4 ZAPOJENÍ DO REÁLNÉHO PROSTŘEDÍ	144
4.4.1 Vývojový modul VM7720 (144)	

4.4.2	Připojení A/D a D/A převodníku : modul ADDA	(146)
4.4.3	Systém pro zpracování signálů	(148)
4.5	PŘÍKLADY PROGRAMOVÁNÍ	149
4.5.1	Konvence assembleru AS7720I a AS7720D	(149)
4.5.2	Paralelní komunikace	(152)
4.5.3	Sériová komunikace	(160)
4.5.4	Sériově-paralelní komunikace	(161)
4.5.5	Přímá struktura filtrů FIR	(164)
	Filtr FIR s koeficienty v DROM	(164)
	Filtr FIR s koeficienty v DRAM	(172)
4.5.6	Kaskádní struktura filtrů IIR	(181)
	Filtr IIR s koeficienty v DROM	(182)
	Filtr IIR s koeficienty v DRAM	(190)
4.5.7	Filtr s křížovou strukturou LAT2	(199)
4.5.8	Výpočet rychlé Fourierovy transformace (FFT)	(205)
	Literatura	(241)