

různými způsoby. Nejjednodušší a nejsnadněji zvládnutelný je způsob vytváření vstupních dat pomocí interaktivního grafického rozhraní, které nabízí různé pomůcky pro vytváření často používaných druhů stimulů, jako jsou konstantní hodnoty vstupních signálů, pulsní průběhy a podobně, a pro jejich následnou editaci. Poněkud obtížnější je vytváření zkušebních vektorů v textové formě, pro kterou se používá označení **testovací pracoviště** (*test bench*) – někdy, možná i častěji, se setkáme se stručnějším poloslangovým označením **benč**. Uživatelé jazyku ABEL tento způsob vyjádření vektorů znají, v jazyku VHDL je však syntaxe výrazně méně přátelská k uživateli, zejména se zde projevuje rozvleklost jazykových konstruktů. Ta se sice může zvládnout pomocí prostředků, které nabízejí textové editory, obvykle je však popis zkušebních vektorů v jazyku VHDL několikanásobně delší než popis stejných vektorů v ABELu, což nepřispívá k jejich přehlednosti. Textový zápis zkušebních vektorů je však mnohem vhodnější k dokumentaci než jejich grafický záznam a je lépe přenositelný na další typy simulátorů, popřípadě může sloužit k simulaci prováděné na různých úrovních, od simulace zdrojového textu po simulaci po syntéze. Proto bývá častým doplňkem grafických rozhraní určených pro interaktivní simulaci programový blok vytvářející z dat zadaných v grafické formě textovou formu zkušebních vektorů. Ty pak může simulátor opět načíst a vytvořit odpovídající grafické vyjádření, dostatečně zběhlý konstruktér je však může přímo v textovém tvaru prostudovat a případně podle potřeby editovat. Obvykle však bývá benč vytvářený přímo konstruktérem srozumitelnější než benč vygenerovaný z grafické podoby vektorů. Na ÚREL jsou zatím dostupné pouze prostředky pro interaktivní simulaci s grafickým rozhraním (stav v roce 2000).

4.12 DODATEK: Klíčová slova

Klíčová slova v jazyku VHDL-87 (uvedeno stojatým písmem) a VHDL-93 (kurzíva):

ABS	DISCONNECT	LABEL	PORT	SRA
ACCESS	DOWNT0	LIBRARY	<i>POSTPONED</i>	SRL
AFTER	ELSE	LINKAGE	PROCEDURE	SUBTYPE
ALIAS	ELSIF	<i>LITERAL</i>	PROCESS	THEN
ALL	END	LOOP	<i>PURE</i>	TO
<i>ALLOW</i>	ENTITY	MAP	RANGE	TRANSPORT
AND	EXIT	MOD	RECORD	TYPE
ARCHITECTURE	FILE	NAND	REGISTER	<i>UNAFECTED</i>
ARRAY	FOR	NEW	<i>REJECT</i>	UNITS
ASSERT	FUNCTION	NEXT	REM	UNTIL
ATTRIBUTE	GENERATE	NOR	REPORT	USE
BEGIN	GENERIC	NOT	RETURN	VARIABLE
BLOCK	<i>GROUP</i>	NULL	<i>ROL</i>	WAIT
BODY	GUARDED	OF	<i>ROR</i>	WHEN
BUFFER	IF	ON	SELECT	WHILE
BUS	<i>IMPURE</i>	OPEN	SEVERITY	WITH
CASE	IN	OR	SIGNAL	XNOR
COMPONENT	<i>INERTIAL</i>	OTHERS	<i>SHARED</i>	XOR
CONFIGURATION	INOUT	OUT	<i>SLA</i>	
CONSTANT	IS	PACKAGE	<i>SLL</i>	