

OBSAH

1.	ZPŮSOBY REALIZACE ČÍSLICOVÝCH SUBSYSTEMŮ.....	3
2.	ZÁKLADNÍ POZNATKY O PROGRAMOVATELNÝCH OBVODECH.....	4
2.1	Typy struktur používané v obvodech PLD.....	5
2.2	Historický vývoj obvodů PLD a jejich označování.....	9
2.3	Obvody FPGA.....	14
2.4	Postup při vývoji aplikací obvodů PLD a FPGA.....	15
2.4.1	Syntéza, implementace a programování (konfigurace).....	16
2.4.2	Ověření funkce a zjištění časových parametrů.....	17
2.4.3	Typický postup syntézy.....	18
2.4.4	Způsoby popisu aplikace.....	20
2.5	Programování obvodů PLD a FPGA.....	22
3.	REALIZACE KOMBINAČNÍCH LOGICKÝCH FUNKCÍ v obvodech PLD.....	24
3.1	Převodník binárního kódu na Grayův a naopak.....	27
3.1.1	Iterativní přístup.....	28
3.2	Číslicové komparátory.....	29
3.2.1	Iterativní přístup.....	30
3.3	Sčítačky a další aritmetické obvody.....	31
4.	ASYNCHRONNÍ KLOPNÉ OBVODY a jejich realizace v obvodech PLD.....	32
4.1	Klopné obvody typu RS.....	32
4.2	Klopné obvody typu D se statickým řízením.....	33
5.	ČÍTAČE.....	34
5.1	Přídavné prvky používané při implementaci čítačů v programovatelných obvodech.....	35
5.2	Binární čítače.....	37
5.3	Čítače pracující v kódu BCD.....	40
5.4	Čítače pracující v Grayově kódu.....	43
5.4.1	Základní typ Grayova čítače.....	43
5.4.2	Grayův čítač s pomocným bitem.....	44
5.5	Čítače LFSR.....	48
5.6	Kaskádování čítačů.....	51
6.	STAVOVÉ AUTOMATY.....	52
6.1	Transformace stavového automatu Moorova typu na Mealyho typ a naopak.....	57
6.2	Zjednodušování stavových diagramů.....	58
6.3	Způsoby kódování stavů.....	59
6.4	Nepřístupné stavy.....	60
6.5	Časové parametry stavových automatů.....	61
6.6	Příklady stavových automatů.....	62
7.	PŘÍLOHY.....	65
7.1	Příklad typické řady obvodů CPLD: řada XC9500XL (Xilinx).....	65
7.2	Tabulka čítačů LFSR.....	73
7.3	Časové parametry subsystémů realizovaných v obvodech PLD.....	74
8.	LITERATURA.....	76