

1. ÚVOD	5
2. ARCHITEKTURA POČÍTAČŮ A POČÍTAČOVÝCH SYSTÉMŮ.....	5
3. MIKROPROCESORY A MIKROKONTROLÉRY	6
3.1. CPU	7
3.1.1. CISC a RISC.....	8
3.1.2. 8080.....	8
3.1.3. MC6800.....	17
3.1.4. ZILOG Z80.....	17
3.1.5. I8086.....	18
3.1.6. I8088.....	25
3.1.7. I80186/88.....	25
3.1.8. I80286.....	26
3.1.9. I80386.....	30
3.1.10. I80486.....	36
3.1.11. PENTIUM.....	37
3.2. MIKROKONTROLÉRY	39
3.2.1. I8048/49.....	39
3.2.2. I8051/52.....	41
3.2.2.1. ČASOVÁNÍ 8051/52.....	44
3.2.2.2. PAMĚŤ.....	46
3.2.2.3. SPECIÁLNÍ FUNKČNÍ REGISTRY.....	48
3.2.2.4. VSTUPY A VÝSTUPY.....	48
3.2.2.5. ČÍTAČ / ČASOVAČ.....	50
3.2.2.6. SÉRIOVÉ ROZHRANÍ.....	55
3.2.2.7. PŘENOSOVÁ RYCHLOST.....	56
3.2.2.8. PŘERUŠOVACÍ SYSTÉM.....	57
3.2.2.9. ENERGETICKY ÚSPORNÉ REŽIMY.....	59
3.2.2.10. VERZE 8751/52 S PAMĚTÍ EPROM.....	61
3.2.3. MC68HC11.....	61
3.2.3.1. ZÁKLADNÍ VLASTNOSTI.....	61
3.2.3.2. ZÁKLADNÍ POPIS VÝVODŮ.....	63
3.2.3.3. OPERAČNÍ MÓDY MC68HC11.....	65
3.2.3.4. PAMĚŤ.....	66
3.2.3.5. PARALELNÍ VSTUP/VÝSTUPY.....	70
3.2.3.6. ČÍTAČ.....	73
3.2.3.7. ASYNCHRONNÍ SÉRIOVÝ KANÁL.....	78
3.2.3.8. SÉRIOVÝ SYNCHRONNÍ INTERFEJS.....	83
3.2.3.9. ANALOGO/ČÍSLICOVÝ PŘEVODNÍK.....	85
3.2.3.10. RESET.....	87
3.2.3.11. PŘERUŠENÍ.....	89
3.2.3.12. ENERGETICKY ÚSPORNÉ REŽIMY.....	90
3.2.4. INTEL 80515.....	92
3.2.5. ZILOG Z8.....	92
3.2.6. INTEL 8096.....	92
3.2.7. INTEL 80196.....	96
3.2.8. MOTOROLA M68HC16.....	96
3.2.9. TINY PROCESORY.....	99
3.2.9.1. MOTOROLA MC68HC05.....	99
3.2.9.2. ZILOG Z86.....	101
3.2.9.3. MICROCHIP TECHNOLOGY PIC16C5.....	102
4. SBĚRNICE.....	105
4.1. SBĚRNICE I.....	106
4.1.1. PRAVIDLA PROPOJOVÁNÍ V MIKROPROCESOROVÝCH SYSTÉMECH.....	106
4.1.2. TŘÍSTAVOVÉ VÝSTUPY.....	109
4.1.3. ODDĚLOVAČE A BUDIČE SBĚRNIC.....	111

4.2. SBĚRNICE II.....	113
4.2.1. SBĚRNICE MULTIBUS.....	113
4.2.2. SBĚRNICE PC XT.....	114
4.2.3. SBĚRNICE ISA PC AT.....	114
4.2.4. SBĚRNICE MCA.....	115
4.2.5. SBĚRNICE EISA.....	115
4.2.6. LOKÁLNÍ SBĚRNICE.....	116
4.2.7. VL - BUS.....	116
4.2.8. SBĚRNICE PCI.....	117
5. PAMĚTI.....	118
5.1. TŘÍDĚNÍ PAMĚTÍ.....	118
5.1.1. PODLE ZPŮSOBU POUŽITÍ.....	118
5.1.2. PODLE MEDIA.....	118
5.1.3. PODLE PŘÍSTUPNOSTI.....	118
5.1.4. PODLE ZÁVISLOSTI NA NAPÁJENÍ.....	119
5.1.5. PODLE MOŽNOSTI MODIFIKACE OBSAHU.....	119
5.2. PAMĚTI ROM.....	120
5.2.1. ZÁKLADNÍ PAMĚŤ ROM.....	120
5.2.2. PAMĚŤ PROM.....	121
5.2.3. PAMĚTI EEPROM.....	124
5.3. PAMĚTI RWM.....	125
5.3.1. STATICKÁ PAMĚŤ.....	126
5.3.2. DYNAMICKÁ PAMĚŤ.....	126
6. VSTUP/VÝSTUPNÍ ZAŘÍZENÍ.....	128
6.1. ZAČLENĚNÍ DO SYSTÉMU.....	128
6.1.1. ISOLOVANÉ PERIFERIE.....	128
6.1.2. PERIFERIE MAPOVANÉ DO PAMĚTI.....	129
6.2. VÝBĚR A AKTIVACE.....	130
6.2.1. LINEÁRNÍ ADRESACÍ.....	130
6.2.2. DEKÓDOVANÁ ADRESACE.....	130
6.3. KOMUNIKACE S PERIFERNÍMI ZAŘÍZENÍMI.....	132
6.3.1. PROGRAMOVÉ ŘÍZENÍ.....	132
6.3.2. PŘERUŠOVACÍ REŽIM.....	133
6.3.3. METODA PŘÍMÉHO PŘÍSTUPU DO PAMĚTI.....	133
6.3.4. PARALELNÍ SPOJENÍ.....	134
6.3.4.1. PŘENOS BEZ POTVRZENÍ.....	134
6.3.4.2. PŘENOS S POTVRZENÍM.....	134
6.3.5. SÉRIOVÁ KOMUNIKACE.....	135
6.3.5.1. SYNCHRONNÍ SÉRIOVÝ PŘENOS.....	136
6.3.5.2. ASYNCHRONNÍ SÉRIOVÝ PŘENOS.....	136
6.4. PŘERUŠOVACÍ SYSTÉM MIKROPOČÍTAČŮ.....	137
6.4.1.1. PROGRAMOVÉ ŘÍZENÍ.....	138
6.4.1.2. SÉRIOVÉ PŘIDĚLOVÁNÍ.....	138
6.4.1.3. PROGRAMOVÝ PŘÍSTUP K PŘERUŠENÍ.....	140
7. PODPŮRNÉ OBVODY.....	141
7.1. PROGRAMOVATELNÝ ČÍTAČ 8253 -54.....	142
7.2. PROGRAMOVATELNÝ PARALELNÍ INTERFEJS 8255.....	147
7.3. PROGRAMOVATELNÝ ŘADIČ PŘERUŠENÍ 8259A.....	151
7.3.1. PROGRAMOVÁNÍ ŘADIČE.....	152
7.3.2. KASKÁDNÍ ZAPOJENÍ 8259A.....	155
8. ZÁVĚR.....	155
8.1.1. LITERATURA:.....	156
8.1.2. SEZNAM VYOBRAZENÍ.....	157
8.1.3. SEZNAM TABULEK.....	159
8.1.4. PŘÍLOHY.....	160