

Obsah

PŘEDMLUVA.....	3
OBSAH.....	5
SEZNAM OBRÁZKŮ.....	7
1. NORMÁLNÍ FORMA LOGICKÉ FORMULE	9
1.1. Výrokový počet a Booleovská algebra	9
1.1.1. Výrokový počet.....	9
1.1.2. Booleovská algebra.....	10
1.2. Disjunktivní a konjunktivní normální forma	12
1.2.1. Převod logické formule do DNF a KNF pomocí ekvivalentních úprav	12
1.2.2. Převod logické formule do DNF pomocí pravdivostní tabulky	13
1.2.3. Převod logické formule do KNF pomocí pravdivostní tabulky	15
1.2.4. Převod do DNF a KNF pomocí Karnaughovy mapy	17
2. ANALÝZA A SYNTÉZA LOGICKÝCH OBVODŮ	23
2.1. Logický obvod	23
2.2. Analýza kombinačních obvodů.....	23
2.3. Syntéza kombinačních obvodů	25
2.3.1. Syntéza obvodů z hradel NON, AND, OR.....	25
2.3.2. Syntéza obvodů pouze z hradel NAND	26
2.3.3. Syntéza obvodů pouze z hradel NOR	29
3. REALIZACE LOGICKÝCH OBVODŮ TRANZISTORY	33
3.1. Realizace logických hodnot.....	33
3.2. Princip bipolárního tranzistoru.....	33
3.3. Zapojení s jedním tranzistorem.....	34
3.4. Zapojení s dvěma tranzistory	34
3.4.1. Varianta 1 – „pod sebou“	34
3.4.2. Varianta 2 – „vedle sebe“	35
4. KOMBINAČNÍ LOGICKÉ OBVODY	39
4.1. Kodér	39
4.2. Dekodér.....	40
4.2.1. Dekodér se vstupem Enable.....	41
4.3. Multiplexor.....	44
4.4. Demultiplexor.....	45

5. SEKVENČNÍ LOGICKÉ OBVODY	49
5.1. S-R klopný obvod.....	49
5.1.1. Stabilní stavy S-R klopného obvodu.....	50
5.1.2. Použití S-R klopného obvodu	54
5.2. S-R klopný obvod řízený hodinovými pulsy	54
5.2.1. Použití S-R klopného obvodu jako 1-bitové paměti	55
5.3. D-klopný obvod s hodinovým vstupem	55
5.3.1. Použití D-klopného obvodu jako 1-bitové paměti	56
5.4. J-K klopný obvod.....	56
5.5. Typy klopných obvodů	56
5.5.1. Obvody typu latch.....	56
5.5.2. Obvody typu flip-flop	57
5.5.3. Obvody typu master-slave	58
5.6. Použití klopných obvodů.....	58
5.6.1. Registr.....	58
5.6.2. Posuvný registr.....	58
5.6.3. Asynchronní čítač	59
6. REALIZACE HLAVNÍCH ČÁSTÍ POČÍTAČE	63
6.1. Procesor počítače	63
6.1.1. Aritmeticko-logická jednotka.....	64
6.1.2. Sčítačka.....	64
6.2. Paměti počítače	67
6.2.1. Rozdělení pamětí počítače	67
6.2.2. Vnitřní paměti	67
6.2.3. Paměti typu ROM	67
6.2.4. Paměti typu RAM	73
6.2.5. Mezipaměti (cache paměti).....	73
6.3. Systém adresace paměti.....	77
6.3.1. Strategie přidělování paměti	78
6.3.2. Virtuální paměť.....	78
6.3.3. TLB cache.....	79
6.4. Vstupně-výstupní moduly	80
6.4.1. DMA modul	80
6.4.2. Vstupně-výstupní kanál.....	81
POUŽITÁ A DOPORUČENÁ LITERATURA.....	85

Seznam obrázků

Obr. 2.1: Značky základních kombinačních obvodů (hradel)	24
Obr. 2.2: Pravidla pro vkládání invertorů	27
Obr. 2.3: Základní ekvivalentní úpravy	27
Obr. 3.4: Princip bipolárního tranzistoru NPN	34
Obr. 4.1: Schéma kombinačního obvodu	39
Obr. 4.2: Kodér 4×2.	39
Obr. 4.3: Dekodér 2×4.....	40
Obr. 4.4: Dekodér 2x4 se vstupem <i>Enable</i>	41
Obr. 4.5: Multiplexor 4×1	44
Obr. 4.6: Demultiplexor 1x4	45
Obr. 5.1: Schéma S-R klopného obvodu realizovaného pomocí hradel NAND.....	49
Obr. 5.2: Schéma S-R klopného obvodu realizovaného pomocí hradel NOR.....	53
Obr. 5.3: Časový průběh hodnot na vstupech R-S klopného obvodu	54
Obr. 5.4: Schéma S-R klopného obvodu řízeného hodinovými pulsy	54
Obr. 5.5: Schéma klopného obvodu D s hodinovým vstupem.....	55
Obr. 5.6: Schéma J-K klopného obvodu	56
Obr. 5.7: Schématické zapojení registru	58
Obr. 5.8: Posuvný registr vytvořený z S-R klopných obvodů.....	59
Obr. 5.9: Schéma tříbitového asynchronního čítače.....	60
Obr. 5.10: Časové průběhy hodnot na výstupech asynchronního čítače.....	61
Obr. 6.1: Součásti procesoru	63
Obr. 6.2: Aritmeticko-logická jednotka	64
Obr. 6.3: 1-bitová sčítačka	65
Obr. 6.4: Paměť PROM 4x3 před naprogramováním	68
Obr. 6.5: Schéma dynamického překladu adres	78
Obr. 6.6: Schéma vstupně-výstupního modulu	80
Obr. 6.7: Selektorový a multiplexorový I/O kanál.....	81