

Obsah :

1.	Řídící sekce počítače	10
1.1.	Časovací obvody	10
1.1.1.	Oscilátor	10
1.1.2.	Dělič kmitočtu	10
1.1.3.	Hradlovací obvody časování	12
1.2.	Logika zmrazení	13
1.2.1.	Zmrazení od chyby v paritě a ochrany paměti	13
1.2.2.	Zmrazení při činnosti DMA	13
1.2.3.	Zmrazení při dělení	14
1.2.4.	Zmrazení při styku s pamětí	14
1.2.5.	Zmrazení při čtení T-registru	15
1.2.6.	Zmrazení při zápisu do M-registru	15
1.2.7.	Zmrazení při krokování mikroinstrukcí	15
1.3.	Logika generátoru jednoho kroku	16
1.4.	Logika běhu počítače	16
1.4.1.	Režim "RUN"	16
1.4.2.	Režim "Single instruction"	17
1.4.3.	Režim "Single cycle"	17
1.4.4.	Režim "HALT"	18
1.4.5.	Automatický restart	18
1.5.	Řídící logika fází	19
1.5.1.	Fáze 1 A (PH 1 A)	19
1.5.2.	Fáze 1 B (PH 1 B)	19
1.5.3.	Fáze 2 (PH 2)	21
1.5.4.	Fáze 3 (PH 3)	22
1.5.5.	Vnucené nastavení počítače do fáze 1 A	23
1.5.6.	Vnucené nastavení počítače do fáze 1 B	24
1.5.7.	Přeskok při fázi 1	25
1.5.8.	Phase loop	25
1.5.9.	Čítač nepřímé adresace	25
1.6.	Adresování paměti ROM	26
1.6.1.	Signály nastavení fází	26
1.6.2.	Dekódování instrukce v instrukčním registru	26
1.6.3.	Adresování modulů ROM	27
1.6.4.	Skoky v ROM	29

1.6.5.	ROM adresní registr (RAR)	29
1.6.6.	Nastavování RAR	30
1.6.7.	Zvyšování obsahu RAR	30
1.6.8.	Nulování RAR	31
1.7.	Logika ukončení fáze	31
1.7.1.	Klopný obvod NER	32
1.7.2.	Klopný obvod LEP	32
1.8.	Registr Save	33
1.9.	Paměť ROM	34
1.10.	Mikroprogram	35
1.10.1.	Mikrokód	35
1.10.2.	Mikroinstrukce	36
1.10.3.	Mikrorutina	36
1.10.4.	Subrutina	36
1.10.5.	Návěští vstupního bodu	36
1.10.6.	Legální vstupní body	36
1.10.7.	Konec fáze	38
1.10.8.	Skip ROM	38
1.10.9.	Skoky v ROM	38
1.10.10.	Režim opakování (Repeat)	39
1.10.11.	Synchronizace s časováním I/O	39
1.11.	Řídící logika ROM	40
1.11.1.	Řízení skoků v ROM	40
1.11.2.	Návrat z podprogramu	40
1.11.3.	Konec fáze	41
1.11.4.	Stav "Halt"	41
1.11.5.	Automatický restart	41
1.12.	Instrukční registr ROM (RIR)	41
1.12.1.	Vstupy RIR	42
1.12.2.	Hodiny RIR	42
1.12.3.	Výstupy RIR	43
1.13.	Instrukční registr (IR)	43
1.13.1.	Hodiny instrukčního registru	43
1.13.2.	Data na sběrnici S	45
1.13.3.	Funkce bitů instrukčního registru	45
1.14.	Mikroinstrukční dekodér	46

1.14.1.	Dekodér pole R-bus	46
1.14.2.	Dekodér pole S-bus	49
1.14.3.	Dekodér funkčního pole	54
1.14.4.	Dekodér pole ukládání	65
1.14.5.	Dekodér speciálního pole	69
1.14.6.	Dekodér skipového pole	75
1.15.	Čítač Repeat	81
1.15.1.	Nahrávání, inkrementování, nulování a čtení čítače Repeat	81
1.15.2.	Posuvy a rotace slov s dvojnásobnou délkou	82
1.15.3.	Operace násobení a dělení	82
2.	Podrobný popis funkce aritmetické a logické jednotky	
2.1.	Logika adresování střádačů A a B	84
2.2.	Registry ALU	86
2.3.	Multiplexor sběrnice R	88
2.4.	Funkční generátor ALU	88
2.5.	Shifter a spojování při posunech	89
2.6.	Logika Flagu CPU	91
2.7.	Logika Extenda	91
2.8.	Logika Overflow	92
3.	Paměťová sekce a ochranné obvody	93
3.1.	Organisace paměti a její uvedení do počátečního stavu	93
3.2.	Adresování paměti, adresy 00000 a 00001	94
3.3.	Čtení z paměti	96
3.4.	Zápis do paměti	99
3.5.	Adresování nepřístupné paměti	99
3.6.	Princip feritové paměti	100
3.6.1.	Zápisový cykl	100
3.6.2.	Čtecí cykl	100
3.6.3.	Obecný popis paměti	100
3.6.4.	Výběr příslušného X, Y vodiče	105
3.6.5.	Výběr X, Y vzhledem k obsahu M-registru	105
3.6.6.	Princip 5-fázového ovládání paměti a pracovní podmínky	108

3.7.	Řízení paměti	109
3.7.1.	Obecný popis	109
3.7.2.	Zápisový a čtecí cykl	113
3.7.3.	Rozbor základních sekvencí mikroinstrukcí obsluhující styk s pamětí	116
3.8.	Styk s pamětí v oblasti LOADER	121
3.8.1.	Obecný popis	121
3.8.2.	Instrukční slovo v ROM paměti	122
3.8.3.	Popis hardware a časování v oblasti LOADER	122
3.9.	Ochrana paměti	124
3.10.	Parita	128
3.11.	Výpadek a náběh napětí	131
3.11.1.	Obecný popis	131
3.11.2.	Princip činnosti	132
4.	Vstupní a výstupní (I/O) sekce	140
4.1.	Řízení vstupní a výstupní sekce	140
4.1.1.	Komunikace prostřednictvím I/O instrukcí	142
4.1.2.	Komunikace při žádosti o přerušeni	143
4.2.	Interfaceové karty	143
4.3.	Časování I/O sekce	145
4.3.1.	Generátor I/O taktů	145
4.3.2.	Časování I/O instrukcí	145
4.3.3.	Časování řídicích signálů I/O	146
4.4.	Adresování I/O sekce	146
4.4.1.	Určení výběrového kódu	146
4.4.2.	Dekódování výběrového kódu	147
4.4.3.	Rekódování výběrového kódu	149
4.4.4.	Centrální registr přerušeni	149
4.5.	Vykonávání vstupních a výstupních instrukcí	150
4.5.1.	Řízení programem ROM při I/O instrukcích	150
4.5.2.	Dekodér skupiny I/O instrukcí	151
4.5.3.	Instrukce pro přenos dat	153
4.5.4.	Řídící instrukce	155
4.5.5.	Flagové instrukce	155
4.5.6.	Přeskokové instrukce	155
4.5.7.	Instrukce halt (HLT)	155

4.6.	Přerušovací systém	156
4.6.1.	Uvolnění a zablokování přerušovacího systému	156
4.6.2.	Priorita přerušování	159
4.6.3.	Instrukce ovládající přerušovací systém	162
4.7.	Vyvolání přerušování	162
4.8.	Činnost při přerušování	164
4.9.	Nulování vstupní a výstupní sekce	167
4.10.	Ochranné obvody I/O	168
4.10.1.	Ochrana proti nežadoucím manipulacím na předním panelu	169
4.11.	Sběrnice I/O	170
4.11.1.	Ovládání I/O sběrnice	170
4.11.2.	Propojení I/O sběrnice	171
4.11.3.	Violation registr	171
4.11.4.	Parita I/O, kontrola přenosu	172
4.11.5.	Vyhodnocení chyby KP	173
4.11.6.	Vyhodnocení chyby parity I/O	174
5.	Přímý styk s pamětí (DMA)	176
5.1.	Inicializace DMA	177
5.2.	Cyklus DMA	179
5.3.	Ukončení přenosu DMA	181
6.	Činnost panelu operátora	181