

<b>1</b>	<b>ÚVOD</b>	<b>5</b>
1.1	Výstavba a architektura počítačů, hodnocení kvality	5
1.2	Klasifikace počítačů	6
	Strojové cykly	7
1.3	Definice výkonnosti počítače a principy zvyšování výkonnosti	9
	Amdahlův vztah	9
	Lokalita odkazů	9
	Hierarchie pamětí	10
1.4	Empirické zákony o technologii a vyváženém návrhu	11
1.5	Výkonnost, její měření a jednotky	13
	Měření výkonnosti v jednotkách MIPS	13
	Měření v jednotkách FLOPS	14
1.6	Programy pro hodnocení výkonnosti	15
<b>2</b>	<b>INSTRUKČNÍ SOUBOR A JEHO NÁVRH</b>	<b>16</b>
2.1	Základní registry počítače	16
2.2	Klasifikace architektur instrukčního souboru IS	17
2.3	Zásobníkový počítač	18
2.4	Střadačový počítač	19
2.5	Registrový počítač	20
2.6	Srovnání architektur IS	21
2.7	Klasifikace architektur s univerzálními registry	22
2.8	Adresování paměti	23
2.9	Adresové módy	25
2.10	Kódování instrukcí	27
2.11	Požadavky na instrukční soubor IS	28
2.12	Příklady instrukčních souborů	30
2.13	Adresové prostory	31
<b>3</b>	<b>REPRESENTACE DAT</b>	<b>34</b>
3.1	Přehled kódů pro reprezentaci dat	34
3.2	Kód ASCII a kódy z něho odvozené	34
3.3	Číselné soustavy	38
3.4	Formáty čísla s pevnou řádovou čárkou	39
3.5	Obrazy čísel se znaménkem s pevnou řádovou čárkou	39
3.6	Chyby zobrazení čísla	40
3.7	Desítková čísla dvojkově kódovaná	41
3.8	Čísla s pohyblivou řádovou čárkou	42
3.9	Sčítání čísel s pohyblivou řádovou čárkou	45
3.10	Kódy pro detekci a opravu chyb	46
<b>4</b>	<b>OPERACE ALU</b>	<b>50</b>
4.1	Sčítačka	50
4.2	Další operace ALU	54
4.3	Násobení	56
	Boothovo překódování	58
	Kombinační násobička (v jednom kroku)	61
	Obvodové doplňky kombinační násobičky	66
4.4	Dělení	67
	Sekvenční realizace dělení	69
	Obvodová realizace dělení - sekvenční dělička SRT	72
	Obvodová realizace dělení - kombinační dělička s restaurací	73
4.5	Aritmetika s pohyblivou čárkou	75
4.6	Iterační algoritmy	77

	Newtonův iterační algoritmus dělení	78
	Elementární funkce	79
	Druhá odmocnina	79
	CORDIC	79
4.7	Doby provedení instrukcí v aritmetice Intel 80 486, 80 487	82
<b>5</b>	<b>ŘADIČE</b>	<b>84</b>
5.1	Přerušení	84
	Vnucení adresy	85
	Vnucení instrukce	85
	Vnucení přerušovacího vektoru	86
	Rozhodovací obvod	87
5.2	Návrh obvodového řadiče	87
5.3	Mikroprogramový řadič	91
5.4	Formát a provádění mikroinstrukcí	93
5.5	Optimalizace kódování mikroinstrukcí	97
5.6	Nanoprogramování	99
5.7	Firmwarová nadstavba	100
5.7	Emulace	102
<b>6</b>	<b>PAMĚTI</b>	<b>103</b>
6.1	Typy a parametry pamětí	103
6.2	Klasifikace pamětí podle přístupu a vlastností záznamu	104
6.3	Struktura paměti	107
6.4	Paměti FIFO	114
6.5	Paměti se sériovým přístupem	115
6.6	Rychlá vyrovnávací paměť cache	117
	Organizace vyrovnávací paměti	121
6.7	Virtuální paměť	123
	Optimalizace velikosti stránky	125
	Zrychlení překladu virtuální adresy	127
	Analýza hierarchické paměti z hlediska ceny a výkonu	127
<b>7</b>	<b>SBĚRNICE A PŘIPOJOVÁNÍ PERIFERIÍ</b>	<b>130</b>
7.1	Typy sběrnic a rozhraní	130
7.2	Připojování periférií	131
7.3	Synchronní a asynchronní přenos	134
7.4	Rozhodování	136
7.5	V/V podsystém počítače	139
	A. Programovaný V/V	139
	B. Obsluha vyučivající přerušení	141
	C. Přenos DMA	142
	D. IO procesory	143
7.6	Disková pole RAID	146